

DIALOG(R)File 352:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

014374516 **Image available**

WPI Acc No: 2002-195219/200225

XRAM Acc No: C02-060258

XRPX Acc No: N02-148309

Semiconductor device, e.g. electroluminescent display, comprises semiconductor film having polycrystal structure, containing germanium and silicon, and having (101) plane that reaches lattice planes

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); ASAMI T (ASAM-I);
ICHIJO M (ICHI-I); KASAHARA K (KASA-I); KOKUBO C (KOKU-I); MITSUKI T
(MITS-I); OHTSUKI T (OHTS-I); TAKANO T (TAKA-I); TORIUMI S (TORI-I);
YAMAZAKI S (YAMA-I)

Inventor: ASAMI T; ICHIJO M; KASAHARA K; KOKUBO C; MITSUKI T; OHTSUKI T;
TAKANO T; TORIUMI S; YAMAZAKI S

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 20020014625	A1	20020207	US 2001918547	A	20010801	200225 B
JP 2002124685	A	20020426	JP 2001235632	A	20010802	200231

Priority Applications (No Type Date): JP 2000234913 A 20000802

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
US 20020014625	A1	45	H01L-029/04	
JP 2002124685	A	37	H01L-029/786	

Abstract (Basic): US 20020014625 A1

NOVELTY - A semiconductor device comprises a semiconductor film having a polycrystal structure with a composition ratio of germanium to silicon of 0.1-10 atomic%. The (101) plane in the semiconductor film reaches 30% or more of all the lattice planes detected by electron backscatter diffraction.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for a method of manufacturing a semiconductor device comprising:

- (a) forming an amorphous semiconductor film by plasma chemical vapor deposition (CVD) through intermittent electric discharge; and
- (b) doping the amorphous semiconductor film with an element for promoting crystallization of the amorphous film, and then subjecting the film to heat treatment to form a semiconductor film having a polycrystal structure. A channel formation region is formed from the semiconductor film having a polycrystal structure.

USE - As semiconductor device, e.g. electroluminescent (EL) display, incorporated into portable data terminal, video camera, still camera, personal computer, television (TV), or projector (claimed).

ADVANTAGE - The orientation ratio of a crystalline semiconductor film is raised.

DESCRIPTION OF DRAWING(S) - The figure is a diagram illustrating a process for manufacturing a thin film transistor (TFT) using a

crystalline semiconductor film.

Insulating film (217)

Drain electrode (218)

pp; 45 DwgNo 11C/26

Title Terms: SEMICONDUCTOR; DEVICE; ELECTROLUMINESCENT; DISPLAY; COMPRISE;
SEMICONDUCTOR; FILM; POLYCRYSTALLINE; STRUCTURE; CONTAIN; GERMANIUM;
SILICON; PLANE; REACH; LATTICE; PLANE

Derwent Class: L03; P81; P85; T04; U11; U12; U14

International Patent Class (Main): H01L-029/04; H01L-029/786

International Patent Class (Additional): G02F-001/1368; G09F-009/30;

H01L-021/20; H01L-021/28; H01L-021/322; H01L-021/336

File Segment: CPI; EPI; EngPI

?

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-124685

(P2002-124685A)

(43)公開日 平成14年4月26日(2002.4.26)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-コード*(参考)
H 0 1 L 29/786		G 0 2 F 1/1368	2 H 0 9 2
G 0 2 F 1/1368		G 0 9 F 9/30	3 3 8 4 M 1 0 4
G 0 9 F 9/30	3 3 8	H 0 1 L 21/20	5 C 0 9 4
H 0 1 L 21/20		21/28	3 0 1 F 5 F 0 5 2
21/28	3 0 1	21/322	G 5 F 1 1 0
審査請求 未請求 請求項の数10 O L (全 37 頁) 最終頁に続く			

(21)出願番号 特願2001-235632(P2001-235632)

(22)出願日 平成13年8月2日(2001.8.2)

(31)優先権主張番号 特願2000-234913(P2000-234913)

(32)優先日 平成12年8月2日(2000.8.2)

(33)優先権主張国 日本(J P)

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 浅見 勇臣

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 一條 充弘

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 鳥海 聡志

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

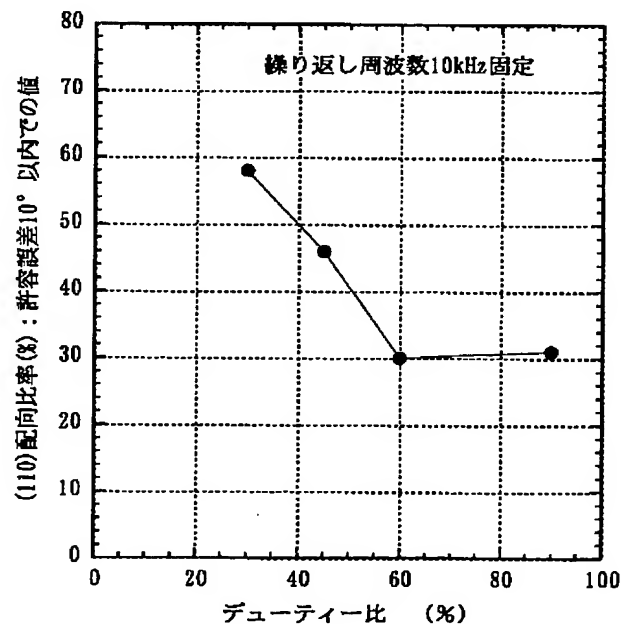
最終頁に続く

(54)【発明の名称】 半導体装置及びその作製方法

(57)【要約】

【課題】 非晶質半導体膜を加熱処理とレーザー光または紫外線、赤外線などの強光の照射により結晶化して得られる結晶質半導体膜の配向率を高め、そのような結晶質半導体膜で活性領域を形成した半導体装置及びその作製方法を提供することを目的とする。

【解決手段】 シリコンとゲルマニウムを成分とし、結晶構造を有する半導体膜であって、反射電子回折パターン法で検出される格子面の内、{101}面が占める割合が30%以上である半導体膜を、シリコン原子の水素化物またはフッ化物または塩化物によるガスを用い、繰り返し周波数10kHz以下、デューティー比50%以下の間欠放電またはパルス放電を用いたプラズマCVD法によりシリコンとゲルマニウムを成分とする非晶質半導体膜を形成し、その表面に該非晶質半導体膜の結晶化を助長する元素を導入し当該元素を利用して結晶化させて得る。



【特許請求の範囲】

【請求項 1】シリコンに対するゲルマニウムの組成比が 0.1 原子%以上 10 原子%以下であり、多結晶構造を有する半導体膜であって、反射電子回折パターン法で検出される格子面の中で {101} 面が占める割合が 30%以上である半導体膜でチャネル形成領域が形成されている半導体装置。

【請求項 2】シリコンに対するゲルマニウムの組成比が 0.1 原子%以上 10 原子%以下であり、多結晶構造を有する半導体膜であって、反射電子回折パターン法で検出される格子面の中で {101} 面が占める割合が 30%以上であり、前記半導体膜中の窒素及び炭素の濃度が $5 \times 10^{18}/\text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19}/\text{cm}^3$ 未満である半導体膜でチャネル形成領域が形成されていることを特徴とする半導体装置。

【請求項 3】シリコンに対するゲルマニウムの組成比が 0.1 原子%以上 10 原子%以下であり、多結晶構造を有する半導体膜であって、反射電子回折パターン法で検出される格子面の中で {101} 面が占める割合が 30%以上であり、前記半導体膜は、繰り返し周波数 10 kHz 以下、デューティ比 50%以下の間欠放電により形成された非晶質半導体膜を結晶化させた半導体膜でチャネル形成領域が形成されていることを特徴とする半導体装置。

【請求項 4】シリコンに対するゲルマニウムの組成比が 0.1 原子%以上 10 原子%以下であり、多結晶構造を有する半導体膜であって、反射電子回折パターン法で検出される格子面の中で {101} 面が占める割合が 30%以上であり、前記半導体膜中の窒素及び炭素の濃度が $5 \times 10^{18}/\text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19}/\text{cm}^3$ 未満であり、前記半導体膜は、繰り返し周波数 10 kHz 以下、デューティ比 50%以下の間欠放電により形成された非晶質半導体膜を結晶化させた半導体膜でチャネル形成領域を形成したことを特徴とする半導体装置。

【請求項 5】請求項 1 乃至請求項 4 のいずれか一項において、前記半導体膜の厚さは 10 nm 乃至 100 nm であることを特徴とする半導体装置。

【請求項 6】シリコンに対するゲルマニウムの組成比が 0.1 原子%以上 10 原子%以下である非晶質半導体膜を間欠放電によるプラズマ CVD 法で形成する第 1 の工程と、前記非晶質半導体膜に当該非晶質半導体膜の結晶化を助長する元素を添加して加熱処理を行い多結晶構造を有する半導体膜を形成する第 2 の工程とを有し、前記多結晶構造を有する半導体膜は、反射電子回折パターン法で検出される格子面の中で {101} 面が占める割合が 30%以上であり、前記多結晶構造を有する半導体膜でチャネル形成領域を形成することを特徴とする半導体装置の作製方法。

【請求項 7】シリコンに対するゲルマニウムの組成比が

0.1 原子%以上 10 原子%以下であり、窒素及び炭素の濃度が $5 \times 10^{18}/\text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19}/\text{cm}^3$ 未満である非晶質半導体膜を間欠放電によるプラズマ CVD 法で形成する第 1 の工程と、前記非晶質半導体膜に当該非晶質半導体膜の結晶化を助長する元素を添加して加熱処理を行い多結晶構造を有する半導体膜を形成する第 2 の工程とを有し、前記多結晶構造を有する半導体膜は、反射電子回折パターン法で検出される格子面の中で {101} 面が占める割合が 30%以上であり、前記多結晶構造を有する半導体膜でチャネル形成領域を形成することを特徴とする半導体装置の作製方法。

【請求項 8】繰り返し周波数 10 kHz 以下でデューティ比 50%以下の間欠放電により、シリコンに対するゲルマニウムの組成比が 0.1 原子%以上 10 原子%以下である非晶質半導体膜をプラズマ CVD 法で形成する第 1 の工程と、前記非晶質半導体膜に当該非晶質半導体膜の結晶化を助長する元素を添加して加熱処理を行い多結晶構造を有する半導体膜を形成する第 2 の工程とを有し、前記多結晶構造を有する半導体膜は、反射電子回折パターン法で検出される格子面の中で {101} 面が占める割合が 30%以上であって、前記多結晶構造を有する半導体膜でチャネル形成領域を形成することを特徴とする半導体装置の作製方法。

【請求項 9】繰り返し周波数 10 kHz 以下でデューティ比 50%以下の間欠放電により、シリコンに対するゲルマニウムの組成比が 0.1 原子%以上 10 原子%以下であり、窒素及び炭素の濃度が $5 \times 10^{18}/\text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19}/\text{cm}^3$ 未満である非晶質半導体膜をプラズマ CVD 法で形成する第 1 の工程と、前記非晶質半導体膜に当該非晶質半導体膜の結晶化を助長する元素を添加して加熱処理を行い多結晶構造を有する半導体膜を形成する第 2 の工程とを有し、前記多結晶構造を有する半導体膜は、反射電子回折パターン法で検出される格子面の中で {101} 面が占める割合が 30%以上であって、前記多結晶構造を有する半導体膜でチャネル形成領域を形成することを特徴とする半導体装置の作製方法。

【請求項 10】請求項 6 乃至請求項 9 のいずれか一項において、前記非晶質半導体膜の厚さは 10 nm 乃至 100 nm で形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多結晶半導体膜に代表されるようにいろいろな方位をもって集合した多結晶構造を有する半導体膜、及び当該半導体膜で活性領域を形成した半導体装置の作製方法に関する。特に、本発明は当該半導体膜でチャネル形成領域を形成した薄膜トランジスタの作製方法に好適に用いることができる。

尚、本明細書において半導体装置とは、半導体特性を利用して機能しうる装置全般を指し、半導体集積回路、電

気光学装置、及び半導体集積回路や電気光学装置を搭載した電子機器を半導体装置の範疇に含むものとしている。

【0002】

【従来の技術】 ガラスや石英などの基板上に形成した多結晶構造を有する半導体膜（以下、結晶質半導体膜という）を用いて、薄膜トランジスタ（以下、TFTと記す）を作製する技術が開発されている。結晶質半導体膜を用いたTFTは、液晶表示装置に代表されるフラットパネルディスプレイにおいて、高精細な画像表示を実現する手段として、又は、画素部と当該画素部の駆動に必要な集積回路を同一基板上に形成したモノシリック型ディスプレイを実現する手段として応用されている。

【0003】 SOI技術（Silicon on Insulator technology）以外で結晶質半導体膜を形成するには、気相成長法（CVD法）により基板上に直接結晶質半導体膜を形成する方法や、非晶質半導体膜を加熱処理、或いはレーザー光の照射などにより結晶化させる方法が知られている。TFTへの応用に関しては、良好な電気的特性が得られることから後者の方法が積極的に採用されている。

【0004】 ガラスまたは石英などの基板上に形成した非晶質半導体膜に対し、加熱処理やレーザー光の照射により結晶化した場合は多結晶構造が得られる。結晶化は非晶質半導体膜と基板との界面に自然に発生する結晶核が基となり結晶化が進むことが判明している。多結晶構造における個々の結晶粒は任意な結晶面が析出しているが、下地に酸化シリコンがある場合には、その界面エネルギーが最小となる（111）面の結晶が析出する確率が高くなることが解っている。

【0005】 ところで、TFTに必要な半導体膜の厚さは10～100nm程度である。この膜厚の範囲では、異種材料で形成されている基板との界面において、格子の不整合により、また、ランダムに発生する結晶核により結晶方位を制御することが困難であった。よって、結晶粒が相互に干渉しあう為、個々の粒径の大型化を実現することは不可能であった。

【0006】 一方、結晶質シリコン膜を形成する他の手法として、非晶質シリコン膜にシリコンの結晶化を助長する元素を導入し、従来よりも低い温度の加熱処理で結晶質シリコン膜を作製する技術が開示されている。例えば、特開平7-130652号公報、特開平8-78329号公報では、非晶質シリコン膜にニッケルなどの金属元素を導入し550℃、4時間の熱処理により結晶質シリコン膜を得ている。

【0007】 この場合には、自然核が発生するより低い温度で導入した元素のシリサイド化物が形成され、当該シリサイドを基にした結晶成長が起こっている。例えば、ニッケルを用いて形成されるニッケルシリサイド（ NiSi_x （ $0.4 \leq x \leq 2.5$ ））は特定の配向性

を持たないが、非晶質シリコン膜の厚さを10～100nmとすると基板表面に対し平行な方向しか殆ど成長することが許されなくなる。この場合、 NiSi_x と結晶シリコンの（111）面とが接する界面エネルギーが最も小さいので、結晶質シリコン膜の表面と平行な面は（110）面となり、この格子面が優先的に配向する。しかし、結晶成長方向が基板表面に対し平行な方向に柱状に成長する場合には、その柱状結晶を軸とした回転方向には自由度が存在するため、必ずしも（110）面が配向するとは限らないため、その他の格子面も析出している。

【0008】

【発明が解決しようとする課題】 配向率が低い場合、異なる方位の結晶がぶつかる結晶粒界で、格子の連続性を保持することが不可能となり、不對結合手が多く形成されることになる。結晶粒界にできる不對結合手は再結合中心または捕獲中心となり、キャリア（電子・ホール）の輸送特性を低下させる作用がある。その結果、キャリアが再結合で消滅したり欠陥にトラップされてしまい、このような結晶質半導体膜を用いてTFTを作製しても高い電界効果移動度を得ることができない。

【0009】 また、結晶粒の位置を意図的に制御することは殆ど不可能であり、結晶粒界はランダムに存在するため、TFTのチャネル形成領域を特定の結晶方位をもつ結晶粒のみで形成することができない。そのために結晶格子の連続性が低下して、結晶粒界では欠陥が形成される。結果として、TFTの特性をばらつかせる要因となり、様々な悪影響をもたらすことになる。例えば、電界効果移動度が低下して、TFTを高速で動作させることができなくなる。また、しきい値電圧の変動は低電圧駆動を不可能として、消費電力の増加をもたらすことになる。

【0010】 本発明はこのような問題点を解決する手段を提供するものであり、非晶質半導体膜を加熱処理とレーザー光または紫外線、赤外線などの強光の照射により結晶化して得られる結晶質半導体膜の配向率を高め、そのような結晶質半導体膜で活性領域を形成した半導体装置及びその作製方法を提供することを目的とする。

【0011】

【課題を解決するための手段】 上記問題点を解決するために本発明は、シリコンとゲルマニウムを成分とし、結晶構造を有する半導体膜であって、反射電子回折パターン法で検出される格子面の内、{101}面が占める割合が30%以上である半導体膜を用いる。このような半導体膜は、シリコン原子の水素化物またはフッ化物または塩化物によるガスを用い、繰り返し周波数10kHz以下、デューティー比50%以下の間欠放電またはパルス放電を用いたプラズマCVD法によりシリコンとゲルマニウムを成分とする非晶質半導体膜を形成し、その表面に該非晶質半導体膜の結晶化を助長する元素を導入し、

当該元素を利用して加熱処理、または加熱処理とレーザー光または紫外線、赤外線などの強光の照射により結晶化させて得る。この結晶構造を有する半導体膜は、チャネル形成領域などの活性層に用いることができる。

【0012】このようにして作製されるシリコンとゲルマニウムを含む結晶構造を有する半導体膜は、シリコン以外の周期律表第14族元素の濃度は $1 \times 10^{18}/\text{cm}^3$ 以下であり、前記半導体膜中の窒素及び炭素の濃度が $5 \times 10^{18}/\text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19}/\text{cm}^3$ 未満であるものとする。

【0013】結晶化を助長する元素としてはFe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種を用いる。また、非晶質半導体膜の厚さは10nm乃至100nmで形成する。非晶質シリコン膜に当該金属元素を添加して加熱処理を施すことにより、シリコンと当該金属元素との化合物（シリサイド化物）を形成し、それが拡散することにより結晶化が進行する。非晶質シリコン膜に添加したゲルマニウムはこの化合物と反応せず、その周囲に存在することにより局所的な歪みを生じさせる。この歪みは核生成の臨界半径を大きくする方向に作用して、核生成密度を低減させると共に、結晶の配向を制限する効力を持つ。

【0014】このような作用を発現させるのに必要なゲルマニウムの濃度は、実験の結果シリコンに対し、0.1原子%以上10原子%以下、好ましくは1原子%以上5原子%以下とすれば良いことが分かっている。ゲルマニウムの濃度がこの上限値以上の濃度になるとシリコンとゲルマニウムの合金材料として発生する自然核（添加する金属元素との化合物によらず発生する核）の発生が顕著となり、得られる多結晶半導体膜の配向比率を高めることができない。また、下限値以下であると十分な歪を発生させることができず、やはり配向比率を高めることができない。

【0015】ゲルマニウムが添加された非晶質シリコン膜は、間欠放電またはパルス放電を用いたプラズマCVD法により形成する。間欠放電またはパルス放電は、発振周波数1~120MHz、好ましくは13.56~60MHzの高周波電力を、繰り返し周波数100Hz~100kHzに変調してカソードに供給することにより形成する。繰り返し周波数の1周期において高周波電力が印加される時間の割合をデューティー比とすると、その値は1~50%とする。

【0016】このような間欠放電またはパルス放電は、非晶質半導体膜の堆積過程におけるラジカル種（ここでは、電気的に中性であり、化学的に活性な原子または分子を指している）を選択して、比較的長寿命のラジカル種による膜の成長を行うことができる。例えば、SiH₄を放電空間中で分解するとき様々なラジカル種やイオン種が生成される。ラジカル種は生成と消滅反応を繰り返すが、

定期的に持続する放電は、ラジカル種の存在比率が一定の割合に保たれている。しかし、間欠放電またはパルス放電のように放電がオフになる時間が存在する場合には、ラジカル種やイオン種の寿命時間の違いにより、長寿命のラジカル種のみが被膜の堆積表面に供給され成膜に寄与することになる。

【0017】長寿命ラジカルを選択する理由は、膜の成長表面を不活性化するためであり、ゲルマニウムを非晶質シリコン膜中に分散させて含ませるのに適している。

10 ゲルマニウムのソースであるGeH₄はSiH₄に比べ分解エネルギーが小さいので、同じ供給電力で分解すると原子状ゲルマニウムが生成され、気相反応又は表面反応によりゲルマニウムクラスターが生成される。前述の結晶成長モデルによればゲルマニウムは分散していた方が良いので、スラスタの発生しない間欠放電が良いということを見いだすことができる。

【0018】非晶質半導体膜を結晶化すると原子の再配列により、膜の体積は収縮する。その結果、基板上の多結晶半導体膜は引っ張り応力が内在することになる。しかし、シリコンに原子半径の大きいゲルマニウムを0.1原子%以上10原子%以下、好ましくは1原子%以上5原子%以下の範囲で含有させることにより、結晶化に伴う体積収縮は抑制され、発生する内部応力を小さくすることができる。このとき、被膜全体に渡って均質な効果を得るためには、ゲルマニウムが分散した状態で存在するのが好ましい。

【0019】

【発明の実施の形態】本発明において、TFTのチャネル形成領域に用いる半導体膜は、{110}格子面の配向率が高いシリコンとゲルマニウムを成分とする結晶質半導体膜であることに特徴を有している。このような結晶質半導体膜を得る典型的な一実施形態は、シリコン原子及びゲルマニウム原子の水素化物またはフッ化物または塩化物によるガスを用い、間欠放電またはパルス放電を用いたプラズマCVD法によりシリコンとゲルマニウムを成分とする非晶質半導体膜を形成し、その表面に該非晶質半導体膜の結晶化を助長する元素を導入し、当該元素を利用して加熱処理、または加熱処理とレーザー光または紫外線、赤外線などの強光の照射により結晶化して結晶質半導体膜を形成する。

【0020】このような結晶質半導体膜を形成するための基板は、アルミナホウケイ酸ガラスやバリウムホウケイ酸ガラスなどの無アルカリガラス基板が適している。代表的にはコーニング社の#7059ガラス基板や#1737ガラス基板を用いる。その他に石英基板やサファイア基板を用いても良い。或いは、シリコン、ゲルマニウム、ガリウム・砒素などの半導体基板の表面に絶縁膜を形成し、これを基板としても良い。

【0021】ガラス基板を用いる場合には、非晶質半導体膜とガラス基板との間に窒化シリコン、酸化シリコ

ン、または酸化窒化シリコンなどでブロッキング層を形成する。こうして、ガラス基板中に含まれるアルカリ金属元素などの不純物元素が半導体膜中に拡散することを防ぐ。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2 を反応ガスとして用い、窒化シリコン膜を形成する。または、 SiH_4 、 N_2O 、 NH_3 を反応ガスとして用い、酸化窒化シリコン膜を形成する。ブロッキング層の厚さは20～200nmで形成する。

【0022】このような基板上に間欠放電またはパルス放電を用いたプラズマCVD法により上記非晶質半導体膜を形成する。間欠放電またはパルス放電は、発振周波数1～120MHz、好ましくは13.56～60MHzの高周波電力を、繰り返し周波数10～10kHzに変調してカソードに供給することにより形成する。繰り返し周波数の1周期において高周波電力が印加される時間の割合をデューティー比とすると、その値は1～50%の範囲であることが望ましい。

【0023】このような間欠放電またはパルス放電を用いる意味の一つは、非晶質半導体膜の堆積過程におけるラジカル種（ここでは、電気的に中性であり、化学的に活性な原子または分子を指している）の選択である。例えば、 SiH_4 を放電空間中で分解するとき様々なラジカル種やイオン種が生成される。放電が定常的に持続する場合には、その存在比率は一定の割合を保っている。しかし、間欠放電またはパルス放電のように放電がオフになる時間が存在する場合には、ラジカル種やイオン種の寿命時間の違いにより、長寿命のラジカル種のみが被膜の堆積表面に供給され成膜に寄与することになる。

【0024】図18は高周波電力の投入とラジカル濃度の時間変化を模式的に説明する図である。本発明でいう間欠放電またはパルス放電は、高周波電力がカソードに印加されるオン時間と、高周波電力の供給が遮断されるオフ時間とが存在する。例えば、発振周波数27MHzの高周波電力を繰り返し周波数10kHz、デューティー比10%で供給した場合には、オン時間1 μsec 、オフ時間9 μsec となる。放電により生成されるラジカル種やイオン種は、生成速度及び消滅速度（寿命）がそれぞれ異なるので、例えばあるラジカル種に着目すると図18に示すように過渡的に変化している。即ち、高周波電力が供給されると共にラジカル種の濃度が増加していき、ある飽和状態に達する。高周波電力の供給が遮断されると母体ガス分子の解離が無くなり、当該ラジカル種は減少し、消滅するがそれにはある一定の時間を要する。通常は1/eに減少する時間をもって寿命時間と定義される。

【0025】例えば、 SiH 、 SiH_2 ラジカルの寿命はそれぞれ 1.72×10^{-4} 、 2.47×10^{-6} 秒である（ SiH_4 プラズマ中、50mTorrにおける値）。それに対し、 SiH_3 は、 $\text{SiH}_3 + \text{SiH}_4 \rightarrow \text{SiH}_3 + \text{SiH}_4$ の反応が繰り返され長寿命であると考えられてい

る。良質な非晶質シリコン膜を形成するには SiH_3 を用いれば良いと言われている。また、 GeH_4 は SiH_4 に対して分解エネルギーが小さいので、同じ高周波電力で分解するとGeラジカル（または原子状Ge）が多数生成される。このラジカルは活性であり寿命が短いものと推測される。

【0026】従って、繰り返し周波数とデューティー比を最適なものとすると、所定のラジカル種を選択的に取り出し、被膜形成に優先的に用いることができる。実際には長寿命のラジカル種を取り出すことが可能となる。長寿命のラジカル種は、相対的に見れば化学的な活性度が低いので、被膜の形成において表面反応を制御しやすくなると言える。

【0027】デューティー比に関して言えば、その値が大きくなる程ラジカル種の選択性が悪くなり変調しない連続放電と同じ成膜機構となる。本発明者の実験によれば、デューティー比が50%以上になると間欠放電により得られる効果は低下してしまう。

【0028】いずれにしても、本発明で用いる上記ガスは、堆積される非晶質半導体膜に取り込まれる酸素、窒素、炭素などの不純物元素の濃度を低減するために高純度に精製されたものを用いる。堆積する非晶質半導体膜の厚さは10～100nmの範囲とする。

【0029】本発明に用いる非晶質半導体膜はシリコンとゲルマニウムを成分とする材料で形成され、その他の14族元素の濃度は $5 \times 10^{18}/\text{cm}^3$ 以下とする。このような非晶質半導体膜は、代表的な反応ガスとして用いられる SiH_4 と GeH_4 または、 SiH_4 と H_2 で希釈した GeH_4 を用いて作製する。その他に、 SiH_4 の代わりに Si_2H_6 または SiF_4 を、 GeH_4 の代わりに GeF_4 を採用しても良い。また、非晶質半導体中に含まれる異種元素として、窒素及び炭素の濃度は $5 \times 10^{18}/\text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19}/\text{cm}^3$ 未満とする。結晶化の過程においてこれらの不純物は、主に結晶粒の粒界に析出し、粒界のポテンシャル障壁が高くなりキャリアの移動度が低下する等の不具合が生じてしまう。

【0030】尚、本明細書ではこれらの異種元素の濃度は、二次イオン質量分析法（SIMS）により検出される濃度を言うものであり、当該膜中における濃度の最低値を指している。

【0031】上記のように形成した非晶質半導体膜に、該非晶質半導体膜の結晶化を助長する元素を導入する。そのような元素としては、鉄（Fe）、ニッケル（Ni）、コバルト（Co）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスmium（Os）、イリジウム（Ir）、白金（Pt）、銅（Cu）、金（Au）から選ばれた一種または複数種の元素を用いる。これらの元素は、本明細書に記載する何れの発明においても非晶質半導体膜の結晶化を助長する元素として使用することができる。上記いずれの元素を用い

ても同質、同様の効果を得ることができるが、代表的にはニッケルを用いる。

【0032】当該元素を導入する箇所は、非晶質半導体膜の全面、或いは非晶質半導体膜の膜面における適宜箇所のスリット状の面または点状の面などとする。前者の場合には、当該非晶質半導体膜の基板側に位置する面または基板側とは反対の面のいずれであっても良い。後者の場合には、好ましくは非晶質半導体膜上に絶縁膜が形成され、その絶縁膜に設けられた開孔を利用して元素を導入することができる。開孔の大きさに特に限定はないが、その幅は10～40μmとすることができる。また、その長手方向の長さは任意に決めれば良く、数十μm～数十cmの範囲とすることができる。

【0033】当該元素を導入する方法は、当該元素を非晶質半導体膜の表面又は内部に存在させる手法であれば特に限定はなく、例えば、スパッタ法、蒸着法、プラズマ処理法（含むプラズマCVD法）、吸着法、金属塩の溶液を塗布する方法などを使用することができる。プラズマ処理法は、不活性ガスによるグロー放電雰囲気において、陰極からスパッタされる当該元素を利用する。また、金属塩の溶液を塗布する方法は簡易であり、当該元素の濃度調整が容易である点で有用である。

【0034】金属塩としては各種塩を用いることが可能であり、溶媒としては水、アルコール類、アルヒド類、エーテル類その他の有機溶媒、または水とこれらの有機溶媒の混合物を用いることができる。また、それらの金属塩が完全に溶解した溶液とは限らず、金属塩の一部または全部が懸濁状態で存在する溶液であっても良い。いずれの方法を採用するにしても、当該元素は非晶質半導体膜の表面又は内部に分散させて導入する。

【0035】上記何れかの方法で当該元素を導入した後、当該元素を利用して非晶質半導体膜の結晶化を行う。結晶化は加熱処理、レーザー光または紫外線、赤外線などの強光の照射によって行う（以下、本明細書では一括してレーザー処理と表記する）。加熱処理のみでも{101}に優先的に配向する結晶質半導体膜を得ることができるが、好ましくは、加熱処理を行いその後レーザー光などの強光の照射を行う方法を適用する。加熱処理後のレーザー処理は、結晶粒内に残される結晶欠陥を修復することができ、作製される結晶の品質を向上させる目的に対して有効な処置となる。

【0036】加熱処理は450～1000℃の範囲で行うことが可能であるが、温度の上限は使用する基板の耐熱温度が一つの上限として考慮される。例えば、石英基板を用いる場合には1000℃の熱処理にも耐えるが、ガラス基板の場合にはその歪み点以下が上限温度の一つの根拠となる。例えば、歪み点667℃のガラス基板に対しては、660℃程度が上限となり、好ましくは600℃以下とするのが良い。必要とされる時間は加熱温度や、その後の処理条件（例えばレーザー光を照射する処

理の有無など）により若干異なるが、好適には550～600℃にて4～24時間の加熱処理を行う。また、その後レーザー処理を行う場合には、500～550℃にて4～8時間の熱処理を行う。以上の加熱処理は空気中や水素雰囲気中でも良いが、好適には窒素或いは不活性ガス雰囲気中にて行う。

【0037】また、レーザー処理は、波長400nm以下のエキシマレーザーや、YAGまたはYVO₄レーザーの第2高調波（波長532nm）～第4高調波（波長266nm）を光源として用いて行う。これらのレーザー光は光学系にて線状またはスポット状に集光し、そのエネルギー密度を100～300mJ/cm²として照射し、上記のように集光したレーザービームを基板の所定の領域に渡って走査させ処理を行う。その他、レーザーの代わりに、ハロゲンランプ、キセノンランプ、水銀ランプ、メタルハライドランプなどを光源としても良い。

【0038】以上のような工程により、本発明における{101}面の配向率が高い結晶質半導体膜が得られるモデルは、概略以下のように推測することができる。それについて図19を参照しながら説明する。

【0039】基板2401上に形成された非晶質半導体膜2402に導入されたシリコンの結晶化を助長する元素は、脱水素処理中に速やかに非晶質半導体2402中に拡散する。そして、当該元素とシリコンが反応してシリサイド2403が形成され、これが結晶核となりその後の結晶成長に寄与する。例えば、代表的な元素としてニッケルを用いた場合、NiSi_xが形成される。しかし、NiSi_x中にはゲルマニウムが殆ど固溶しないため、非晶質半導体2402中のNiSi_xは、ゲルマニウムを周囲に排除しつつ移動する。

【0040】NiSi_xは特定の配向性を持たないが、非晶質半導体膜の厚さを10～100nmとすると基板表面に対し平行な方向しか殆ど成長することが許されなくなる。この場合、NiSi_xと結晶シリコンの(111)面とが接する界面エネルギーが最も小さいので、結晶質シリコン膜の表面と平行な面は(110)面となり、この格子面が優先的に配向する。結晶成長方向が基板表面に対し平行な方向に、しかも柱状に成長する場合には、その柱状結晶を軸とした回転方向には自由度が存在するため、必ずしも(110)面が配向するとは限らないため、その他の格子面も析出することになる。

【0041】NiSi_xから見ると、周囲の非晶質半導体のみに原子半径の大きいゲルマニウムが存在しているため、大きな歪み（引っ張り応力）が発生していることが予想される。この歪みエネルギーにより、核生成の臨界半径を大きくする方向に働く。さらに、この歪み（引っ張り応力）は、NiSi_xによる核の結晶方位に制限を与え、特定の結晶面（具体的には、{101}面）の配向率を高める作用があると推測される。

【0042】NiSi_xの構造はホタル石型構造であ

10

20

30

40

50

り、ダイヤモンド型構造のシリコン格子間にニッケル原子を配置した構造となっている。NiSi_xからニッケル原子が無くなるとシリコンの結晶構造が残ることになる。数々の実験の結果から、ニッケル原子は非晶質シリコン側に移動していくことが判明しており、この理由は非晶質シリコン中の固溶度の方が結晶シリコン中のそれよりも高いためであると考えられる。従って、恰もニッケルが非晶質シリコン中を移動しながら結晶シリコン膜2404を形成するというモデルを立案することができる。

【0043】本発明は、結晶質半導体膜の{101}面の配向を高めるために、シリコンとゲルマニウムから成る非晶質半導体膜にシリコンの結晶化を助長する元素を添加して、加熱処理とレーザー処理を行って結晶化させる。

【0044】ところで、非晶質半導体膜、具体的には非晶質シリコン膜に0.1～10原子%のゲルマニウムを含有させると結晶核の発生密度が低下することが、本発明者により見いだされている。図20は結晶核の隣接間距離について、GeH₄の添加量依存性について調べた結果であり、縦軸はその累積度数を示している。成膜条件として、SiH₄と水素で10%に希釈したGeH₄の合計流量は100SCCM一定としたものである。

【0045】図20(A)はシリコンの結晶化を助長する元素として、酢酸ニッケル塩が3ppmの水溶液を用いた結果であり、図20(B)は1ppmの結果を示している。GeH₄の添加量の増加は、非晶質シリコン中に含まれるゲルマニウム濃度がそれに伴って増えることを意味する。図20(A)、(B)の結果は、いずれもGeH₄の添加量が多い方が結晶核の隣接間距離が長くなることを示している。図21はこの結果を基に、GeH₄の添加量に対する結晶核の密度を示している。GeH₄の量が増加するに従い、結晶核密度が低下している傾向が示されている。

【0046】核生成理論の立場からは、体積Vの核が母相中に現れる際のエネルギー変化ΔGは次式で与えられる。

【0047】

【数1】

$$\Delta G = \Delta G_v \times V + E \times V + \gamma_s \times S$$

【0048】ここで、ΔG_vは単位体積当たりの自由エネルギー変化(負)であり、右辺第1項は核生成の駆動力となる。一方、Eは単位体積当たりの歪みエネルギーであり、γ_sは単位体積当たりの界面エネルギー(Sは析出した核の表面積)であり、第2項、第3項は核の析出を妨害する方向に働く。これら二つの項があるため、ある臨界半径r₀以下の核はエネルギー的に不安定(ΔGがrと共に増加する)であり、一時的に現れたとしても消滅してしまう。即ち、r₀を超えた核のみが安定化することを示している。このことは上記考察において、

非晶質シリコン膜中にゲルマニウムが存在することにより核生成の臨界半径を大きくする方向に働くことを裏付けている。

【0049】上述の本発明に基づいて得られる結晶質半導体膜の代表的な作製方法は、反応ガスはSiH₄と水素で10%に希釈されたGeH₄を用いる。これらの反応ガスは、形成される非晶質半導体膜に含まれる酸素、窒素、炭素の不純物濃度を低減させるために、SiH₄の純度は99.9999%以上のものを、またGeH₄は酸素、炭化水素化合物が1ppm以下、CO₂が2ppm以下の高純度品を用いている。高周波電力はピーク値として0.35W/cm²(27MHz)を供給し、繰り返し周波数1～30kHz、デューティー比10～90%のパルス放電に変調して平行平板型のプラズマCVD装置の陰極に給電する。その他、反応圧力33.25Pa、基板温度200～400℃、電極間隔35mmとしている。

【0050】図17は、プラズマCVD装置のカソードに印加される27MHzの高周波電力の波形をオシロスコープで観測した写真である。図17(A)は繰り返し周波数1kHz、デューティー比20%の場合であり、図17(B)は繰り返し周波数1kHz、デューティー比50%の場合の写真である。このように、本発明では高周波電力が印加されるオン時間と、印加されないオフ時間が交互に繰り返される状況の下に非晶質半導体膜の形成を行っている。このような電力の供給により形成される放電を、本明細書では便宜上間欠放電またはパルス放電と呼ぶ。

【0051】図4はプラズマCVD装置の一例であり、共通室1120は、ロード・アンロード(L/UL)室1110、1115、反応室(1)～反応室(3)1111～1113、予備室1114とゲート弁1122～1127を介して連結されている。基板は、ロード・アンロード(L/UL)室1110、1115のカセット1128、1129に装填され、共通室1120の搬送手段1121により各反応室または予備室に搬送される。予備室1114では主に基板の予備加熱のみを行い、反応室(1)では窒化シリコン膜や酸化シリコン膜などの絶縁膜の形成、反応室(2)では非晶質半導体膜の成膜の形成を行い、反応室(3)ではシリコンの結晶化を助長する元素をプラズマ処理により添加するように分離されている。このプラズマ処理は、不活性ガスのグロー放電により、ニッケルなどの上記結晶化を助長する元素で形成された陰極からスパッタされる元素を非晶質半導体膜に付着させる処理である。このような構成のプラズマCVD装置を用いれば、基板に密接して形成するロッキング層から非晶質半導体膜、及び非晶質半導体膜の結晶化を助長する元素の添加までを、大気に曝すことなく連続して形成することができる。

【0052】図5はこのようなプラズマCVD装置の一つの反応室の構成を詳細に説明するものであり、非晶質

半導体膜を形成する反応室の一例を示している。反応室501は、高周波電源505が接続する陰極(カソード)502、陽極(アノード)503が設けられた平行平板型である。陰極502はシャワー板となっていて、ガス供給手段506からの反応ガスは、このシャワー板を通して反応室中に供給される。陽極503にはシーズヒーターなどによる加熱手段が設けられ、基板515が設置されている。ガス供給系の詳細は省略するが、SiH₄やGeH₄などが充填されたシリンダー514、ガスの流量を制御するマスフローコントローラー512、ストップバルブ513などから構成されている。排気手段507は、ゲートバルブ508、自動圧力制御弁509、ターボ分子ポンプ(または複合分子ポンプ)510、ドライポンプ511から成っている。ターボ分子ポンプ(または複合分子ポンプ)510、ドライポンプ511は潤滑油を使用しないもので、油の拡散による反応室内の汚染を完全に無くしている。排気速度は、反応室の容積13Lの反応室に対し、一段目に排気速度300リットル/秒のターボ分子ポンプ、二段目に排気速度40m³/hrのドライポンプを設け、排気系側から有機物の蒸気が逆拡散してくるのを防ぐと共に、反応室の到達真空度を高め、非晶質半導体膜の形成時に不純物元素が膜中に取り込まれることを極力防いでいる。

【0053】このような条件の下に作製された非晶質半導体を用い、前述の結晶化法を用い作製された結晶質半導体膜の配向率は、反射電子線回折パターン(EBS P: Electron Backscatter diffraction Pattern)により求められている。EBS Pは走査型電子顕微鏡(SEM: Scanning Electron Microscopy)に専用の検出器を設け、一次電子の後方散乱から結晶方位を分析する手法である(以下、この手法を便宜上EBS P法と呼ぶ)。EBS Pを用いた結晶半導体膜の評価は、"Microtexture Analysis of Location Controlled Large Si Grain Formed by Excimer-Laser Crystallization Method: R. Ishihara and P. F. A. Alkemade, AMLCD'99 Digest of Technical Papers 1999 Tokyo Japan, pp99-102"に紹介されている。

【0054】この測定方法は、結晶構造を持った試料に電子線が入射すると、後方にも非弾性散乱が起こり、その中には試料中でブラッグ回折による結晶方位に特有の線状パターン(一般に菊地像と呼ばれる)も合わせて観察される。EBS P法は検出器スクリーンに映った菊地像を解析することにより試料の結晶方位を求めている。試料の電子線の当たる位置を移動させつつ方位解析を繰り返す(マッピング測定)ことで、面状の試料について結晶

方位または配向の情報を得ることができる。入射電子線の太さは、走査型電子顕微鏡の電子銃のタイプにより異なるが、ショットキー電界放射型の場合、10~20nmの非常に細い電子線が照射される。マッピング測定では、測定点数が多いほど、また測定領域が広いほど、結晶配向のより平均化した情報を得ることができる。実際には、100×100μm²の領域で、10000点(1μm間隔)~40000点(0.5μm間隔)の程度の測定を行っている。

【0055】マッピング測定により各結晶粒の結晶方位がすべて求まると、膜に対する結晶配向の状態を統計的に表示できる。図6(A)にEBS P法により求められる逆極点図の例を示す。逆極点図は多結晶体の優先配向を表示する際によく用いられるもので、試料のある特定の面(ここでは膜表面)が、どの格子面に一致しているかを集積的に表示したものである。

【0056】図6(A)の扇形状の枠は一般に標準三角形と呼ばれるもので、この中に立方晶系における全ての指数が含まれている。またこの図中における長さは、結晶方位における角度に対応している。たとえば{001}と{101}の間は45度、{101}と{111}の間は35.26度、{111}と{001}の間は54.74度である。また、白抜きの点線は{101}からのずれ角5度及び10度の範囲を示している。

【0057】図6(A)は、マッピングにおける全測定点(この例では11655点)を標準三角形内にプロットしたものである。{101}付近で点の密度が濃くなっていることがわかる。図6(B)は、このような点の集中度を等高線表示したものである。これは方位分布関数の値であり、ランダム配向を仮定した場合に対する集中度(図6(A)の点の密度)を等高線で表したものである。ここで数値は各結晶粒が完全に無秩序な配向だと仮定した場合、すなわち標準三角形内に点を偏りなく分布させた場合に対する倍率を示しており無次元数である。

【0058】このように特定の指数(ここでは{101})に優先配向している事がわかった場合、その指数近傍にどの程度の結晶粒が集まっているか、その割合を数値化することで、優先配向の度合いをよりイメージしやすくなる。例えば図6(A)に例示した逆極点図において{101}からのずれ角5度及び10度の範囲(図中に白点線で示す)に存在する点数の全体に対する割合を配向率として次式により求めて示すことができる。

【0059】

【数2】

$$\text{配向比率} = \frac{\begin{array}{l} \{101\} \text{ 格子面と膜表面がなす角が} \\ \{101\} \text{ 許容値以内の測定点の数} \end{array}}{\text{測定点の全数}}$$

【0060】この割合は、次のように説明することもできる。図6(A)のように{101}付近に分布が集中

している場合、実際の膜においては各結晶粒の<101>方位は基板に概略垂直であるが、その周りにやや揺ら

ぎを持って並んでいることが予想される。この揺らぎの角に許容値を5度、10度と設け、それより小さいものの割合を数値で示してゆく。以上に説明したように許容ずれ角を5度及び10度と定め、それを満たす結晶粒の割合を表示してゆくことにより配向率を求めることができる。

【0061】図6(A)で例示した逆極点図では、各頂点が{101}、{111}、{001}であり、{101}に対してずれ角の値が大きくなると他の面方位が発現することを意味する。{101}からのずれ角が30度となると{112}が発現することになる。従って、EBSPで結晶方位の存在比率を確定する場合、揺らぎを持って分布している結晶粒に対し、他の指数が含まれないように許容ずれ角を規定する必要がある。本発明者によれば、許容ずれ角を10度以下、或いは5度以下と規定してデータを収集することにより、特定方位に配向する結晶粒の存在比率を定量化できることが判明している。

【0062】図1は上記作製条件に基づいて石英基板上に作製した54nmの非晶質半導体膜を、500℃にて1時間の脱水素処理をした後、580℃にて4時間の加熱処理を行い、得られた結晶質半導体膜の{101}面の配向率を、間欠放電におけるデューティー比依存性として示している。繰り返し周波数は10kHzを用いている。図1から明らかなことは、デューティー比が60%以下となると、{101}面の配向率が増加する傾向が明らかに示されている。図1の結果では、デューティー比30%において58%の配向率が得られている。

【0063】図2は、間欠放電の繰り返し周波数を横軸にとり{101}の配向率をプロットしたデータである。繰り返し周波数は5～30kHzの間で変化させているが、その周波数が小さくなるに従って{101}の配向率が増大している。

【0064】図3は非晶質半導体膜の形成時の反応圧力依存性を示し、圧力が低くなるに従い{101}の配向率が高くなっている。

【0065】勿論、このような{101}格子面に対して高い配向性を示す結晶質半導体膜は、所定の繰り返し周波数、デューティー比、反応圧力で非晶質半導体を堆積するだけでなく、膜中に含まれる酸素、窒素、炭素の元素の濃度を $1 \times 10^{19}/\text{cm}^3$ 未満にすること、及び膜厚を20～100nmの範囲として、基板表面と平行な方向の成長が支配的となるようにすることの相乗効果により達成される。

【0066】このような{110}格子面の配向率の高い結晶質半導体膜はTFTのチャネル形成領域、光起電力素子の光電変換層など素子の特性を決定付けるチャネル形成領域に好適に用いることができる。

【0067】

【実施例】[実施例1]図7で説明する結晶質半導体膜の

作製方法は、ゲルマニウムを含む非晶質シリコン膜の全面にシリコンの結晶化を助長する金属元素を添加して結晶化を行う方法である。まず、図7(A)において、基板101はコーニング社の#1773ガラス基板に代表されるガラス基板を用いる。基板101の表面には、ブロッキング層102としてプラズマCVD法でSiH₄とN₂Oを用い酸化窒化シリコン膜を100nmの厚さに形成する。ブロッキング層102はガラス基板に含まれるアルカリ金属がこの上層に形成する半導体膜中に拡散しないために設ける。

【0068】シリコンとゲルマニウムから成る非晶質半導体膜103はプラズマCVD法により作製し、SiH₄とH₂で10%に希釈されたGeH₄ガスを反応室に導入し、グロー放電分解して基板101上に堆積させる。その詳細な条件は実施形態において述べた通りであるが、27MHzの高周波電力を変調し、繰り返し周波数5kHz、デューティー比20%の間欠放電により54nmの厚さに堆積する。SiH₄とGeH₄の混合比は、作製される非晶質半導体膜においてゲルマニウム濃度が1～10原子%、好ましくは2～3原子%となるように調節する。シリコンとゲルマニウムから成る非晶質半導体膜103の酸素、窒素、炭素などの不純物を極力低減するために、SiH₄は純度99.999%以上のものを、GeH₄は純度99.9%以上のガスを用いる。また、プラズマCVD装置の仕様としては、反応室の容積13Lの反応室に対し、一段目に排気速度300リットル/秒の複合分子ポンプ、二段目に排気速度40m³/hrのドライポンプを設け、排気系側から有機物の蒸気が逆拡散してくるのを防ぐと共に、反応室の到達真空度を高め、非晶質半導体膜の形成時に不純物元素が膜中に取り込まれることを極力防いでいる。

【0069】そして図7(B)で示すように、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布してニッケル含有層104を形成する。この場合、当該溶液の馴染みをよくするために、シリコンとゲルマニウムから成る非晶質半導体膜103の表面処理として、オゾン含有水溶液で極薄い酸化膜を形成し、その酸化膜をフッ酸と過酸化水素水の混合液でエッチングして清浄な表面を形成した後、再度オゾン含有水溶液で処理して極薄い酸化膜を形成しておく。シリコンの表面は本来疎水性なので、このように酸化膜を形成しておくことにより酢酸ニッケル塩溶液を均一に塗布することができる。

【0070】次に、500℃にて1時間の加熱処理を行い、シリコンとゲルマニウムから成る非晶質半導体膜中の水素を放出させる。そして、580℃にて4時間に加熱処理を行い結晶化を行う。こうして、図7(C)に示す結晶質半導体膜105が形成される。

【0071】さらに結晶化率(膜の全体積における結晶成分の割合)を高め、結晶粒内に残される欠陥を補修す

10

20

30

40

50

るために、結晶質半導体膜 105 に対してレーザー光 106 を照射するレーザー処理を行う。レーザーは波長 308 nm にて 30 Hz で発振するエキシマレーザー光を用いる。当該レーザー光は光学系にて 100 ~ 300 mJ/cm² に集光し、90 ~ 95 % のオーバーラップ率をもって半導体膜を溶融させることなくレーザー処理を行う。こうして図 7 (D) に示すシリコンとゲルマニウムを成分とする結晶質半導体膜 107 を得ることができる。

【0072】[実施例 2] 非晶質半導体膜の結晶化を助長する元素を選択的に形成する方法を図 8 により説明する。図 8 (A) において、基板 120 は前述のガラス基板または石英基板を採用する。ガラス基板を用いる場合には、実施例 1 と同様にブロッキング層を設ける。

【0073】シリコンとゲルマニウムから成る非晶質半導体 121 は、は実施例 1 と同様に間欠放電またはパルス放電を用いたプラズマ CVD 法で形成する。

【0074】そして、シリコンとゲルマニウムから成る非晶質半導体 121 上に 150 nm の厚さの酸化シリコン膜 122 を形成する。酸化シリコン膜の作製方法は限定されないが、例えば、オルトケイ酸テトラエチル (Tetraethyl Ortho Silicate: TEOS) と O₂ とを混合し、反応圧力 40 Pa、基板温度 300 ~ 400 °C とし、高周波 (13.56 MHz) 電力密度 0.5 ~ 0.8 W/cm² で放電させ形成する。

【0075】次に、酸化シリコン膜 122 に開孔部 123 を形成し、重量換算で 10 ppm のニッケルを含む酢酸ニッケル塩溶液を塗布する。これにより、ニッケル含有層 124 が形成され、ニッケル含有層 124 は開孔部 123 の底部のみで非晶質半導体膜 121 と接触する。

【0076】図 8 (B) で示す結晶化は、加熱処理の温度 500 ~ 650 °C で 4 ~ 24 時間、例えば 570 °C にて 14 時間の熱処理を行う。この場合、結晶化はニッケルが接した非晶質シリコン膜の部分が最初に結晶化し、そこから基板の表面と平行な方向に結晶化が進行する。こうして形成された結晶質シリコン膜 125 は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長している。その後、酸化シリコン膜 122 を除去すれば、図 8 (C) で示すシリコンとゲルマニウムから成る結晶質半導体膜 125 を得ることができる。

【0077】[実施例 3] 実施例 1、2 で説明する方法に従い作製される結晶質半導体膜には結晶化において利用したニッケルに代表される元素が残存している。それは膜中において一様に分布していないにしろ、平均的な濃度とすれば、 $1 \times 10^{19}/\text{cm}^3$ を越える濃度で残存している。勿論、このような状態でも TFT をはじめ各種半導体装置のチャネル形成領域に用いることが可能であるが、より好ましくは、ゲッタリングにより当該元素を除去することが望ましい。

【0078】本実施例はゲッタリング方法の一例を図 9

を用いて説明する。図 9 (A) において、基板 130 は実施例 1 のガラス基板、或いは石英基板が採用される。ガラス基板を用いる場合には、実施例 1 と同様にブロッキング層を設ける。また、結晶質半導体膜 131 は実施例 1 または 2 のいずれの方法で作製されたものであっても同様に適用される。結晶質半導体膜 131 の表面には、マスク用の酸化シリコン膜 132 が 150 nm の厚さに形成され、開孔部 133 が設けられ結晶質半導体膜が露出した領域が設けられている。実施例 2 に従う場合には、図 8 (A) で示す酸化シリコン膜 122 をそのまま利用可能であり、図 8 (B) の工程の後からそのまま本実施例の工程に移行することもできる。そして、イオンドーピング法によりリンを添加して、 $1 \times 10^{19} \sim 1 \times 10^{22}/\text{cm}^3$ の濃度のリン添加領域 135 を形成する。

【0079】そして、図 9 (B) に示すように、窒素雰囲気中で 550 ~ 800 °C、5 ~ 24 時間、例えば 600 °C にて 12 時間の熱処理を行うと、リン添加領域 135 がゲッタリングサイトとして働き、結晶質半導体膜 131 に残存していた触媒元素はリン添加領域 135 に偏析させることができる。

【0080】その後、図 9 (C) で示すようにマスク用の酸化シリコン膜 132 と、リン添加領域 135 とをエッチングして除去することにより、結晶化の工程で使用した金属元素の濃度が $1 \times 10^{17}/\text{cm}^3$ 未満にまで低減された結晶質半導体膜 136 を得ることができる。

【0081】[実施例 4] 次に、このようなシリコンとゲルマニウムから成る結晶質半導体膜を用いて、TFT を作製する例を示す。図 11 は本実施例の作製工程を説明する図である。

【0082】図 11 (A) において、基板 210 上にシリコンとゲルマニウムから成る結晶質半導体膜 212 を形成するが、この結晶質半導体膜 212 は、以下に示す実施例 1 ~ 3 で示す工程により作製される何れかのものが採用される。TFT を作製するに当たっては、素子分離のため所定の大きさにエッチングし、島状に分割しておく。基板 210 がガラス基板である場合には、ブロッキング層 211 を設ける。

【0083】絶縁膜 213 は TFT においてゲート絶縁膜として利用されるものであり 30 ~ 200 nm の厚さで形成する。この絶縁膜 213 はプラズマ CVD 法により SiH₄ と N₂O とから作製される酸化窒化シリコン膜、或いは TEOS と N₂O とから作製される酸化窒化シリコン膜などで形成する。本実施例では前者を選択し、70 nm の厚さに形成する。

【0084】絶縁膜 213 上には、タンタル、タングステン、チタン、アルミニウム、モリブデンから選ばれた一種または複数種の元素を成分とする導電性材料でゲート電極 214 を形成する。

【0085】次に、図 11 (B) で示すように、TFT のソース及びドレイン領域を形成する一導電型の不純物

10

20

30

40

50

領域 216 を形成する。この不純物領域 216 はイオンドーピングにより形成し、n チャネル型 TFT であればリン、砒素に代表される周期律表第 15 族の元素、p チャネル型 TFT であればボロンに代表される周期律表第 13 族の元素を添加する。

【0086】その後、プラズマ CVD 法により作製される窒化シリコン膜、酸化窒化シリコン膜により第 1 の層間絶縁膜 217 を形成する。第 1 の層間絶縁膜 217 はプラズマ CVD 法で 200～300℃ の基板温度で形成し、その後、窒素雰囲気中 350～450℃、好ましくは 410℃ の温度で加熱処理を行う。この温度で第 1 の層間絶縁膜中の水素を放出させ、その後 250～350℃ にて 0.1～1 時間程度保持する加熱処理を行い、結晶質半導体膜の水素化を行う。このような二段階の加熱処理により結晶質半導体膜の水素化を行うことで、特に 350℃ 以上の温度では水素化しにくいゲルマニウムのダングリングボンド（未結合種）を水素化し、補償することができる。さらに、ソース及びドレイン電極 218 を形成し TFT を得ることができる。

【0087】尚、ここでは TFT をシングルゲートの構造で示したが、勿論、複数のゲート電極を設けたマルチゲート構造を採用することもできる。

【0088】本発明で得られるシリコンとゲルマニウムから成る結晶質半導体膜は、{101} の配向率が高く、形成されるチャネル形成領域はゲート絶縁膜との界面特性が良好である。また、結晶粒界及び結晶粒内の欠陥密度が低く、電界効果移動度を高めることができる。ここでは、TFT をシングルドレインの構造で説明したが、低濃度ドレイン（LDD）構造や、LDD がゲート電極とオーバーラップした構造の TFT を形成することもできる。本発明で作製される TFT は、アクティブマトリクス型の液晶表示装置や EL 表示装置を作製するための TFT とて、また従来の半導体基板にて作製される LSI に代わる薄膜集積回路を実現する TFT として用いることができる。

【0089】[実施例 5] 図 10 は本発明のシリコンとゲルマニウムから成る結晶質半導体膜を用いて作製される逆スタガ型の TFT の断面図である。逆スタガ型 TFT は、ガラスまたは石英などの基板 201 上にゲート電極 260、261 が形成されており、シリコンゲルマニウムを成分とする結晶質半導体膜 263、264 は、ゲート絶縁膜 262 上に形成されている。結晶質半導体膜 263、264 は実施例 1～3 の方法により作製されるいずれの結晶質半導体膜であっても適用可能である。

【0090】n チャネル型 TFT 280 は結晶質半導体膜 263 を用いて作製され、チャネル形成領域 273 と n 型不純物（ドナー）をドーピングして作製される LD 領域 274 及びソースまたはドレイン領域 275 が形成されている。p チャネル型 TFT 281 は結晶質半導体膜 264 を用いて作製され、チャネル形成領域 276

と p 型不純物（アクセプタ）をドーピングして作製されるソースまたはドレイン領域 277 が形成されている。

【0091】チャネル形成領域 273、276 上にはチャネル保護膜 265、266 が形成され、第 1 の層間絶縁膜 267、第 2 の層間絶縁膜 268 を介してソースまたはドレイン電極 269～272 が形成されている。水素化処理は、第 1 の層間絶縁膜 267 を窒化シリコン膜または酸化窒化シリコン膜で形成し、その後、窒素雰囲気中 350～450℃、好ましくは 410℃ の温度で加熱処理を行う。この温度で第 1 の層間絶縁膜中の水素を放出させ、その後 250～350℃ にて 0.1～1 時間程度保持する加熱処理を行い、結晶質半導体膜の水素化を行うことができる。

【0092】このような逆スタガ型の TFT を用いても、アクティブマトリクス型の液晶表示装置や EL 表示装置の駆動回路を形成することができる。それ以外にも、このような n チャネル型 TFT または p チャネル型 TFT は、画素部を形成するトランジスタに応用することができる。尚、ここでは TFT をシングルゲートの構造で示したが、勿論、複数のゲート電極を設けたマルチゲート構造を採用することもできる。このような TFT は、従来の半導体基板にて作製される LSI に代わる薄膜集積回路を実現する TFT として用いることができる。

【0093】[実施例 6] 本実施例は、n チャネル型 TFT と p チャネル型 TFT とを相補的に組み合わせた CMOS 型の TFT を作製する一例について図 12 を用いて説明する。図 12 (A) において、基板 301 上にシリコンとゲルマニウムから成る結晶質半導体膜を形成する。この結晶質半導体膜は実施例 1～3 で示す方法により作製されるいずれのものを適用しても良い。TFT を作製するに当たっては、素子分離のため所定の大きさにエッチングし、島状に分割して半導体層 331～333 を形成する。基板 301 がガラス基板である場合には、ブロッキング層 302 を設ける。

【0094】ブロッキング層 302 としてプラズマ CVD 法で SiH_4 と N_2O を用い酸化窒化シリコン膜を 50～200nm の厚さに形成する。その他の形態として、プラズマ CVD 法で SiH_4 と NH_3 と N_2O から作製される酸化窒化シリコン膜を 50nm、 SiH_4 と N_2O から作製される酸化窒化シリコン膜を 100nm 積層させた 2 層構造や、或いは、窒化シリコン膜と TEOS を用いて作製される酸化シリコン膜を積層させた 2 層構造としても良い。

【0095】ブロッキング層 302 及びその上に形成する非晶質半導体膜はいずれもプラズマ CVD 法で形成することが可能であり、シングルチャンバー方式の CVD 装置において同一反応室中でこれらの層を連続して、或いは、マルチチャンバー方式の CVD 装置において各反応室間を移動させながら連続して形成することができ

る。いずれにしても、大気解放せずに成膜することでブロッキング層と非晶質半導体膜の界面を清浄にしておくことができる。

【0096】絶縁膜334はゲート絶縁膜として利用するものであり、プラズマCVD法またはスパッタ法を用い、膜厚を40～150nmの厚さで形成する。本実施例では、70nmの厚さで酸化窒化シリコン膜を用いて形成する。特に、 SiH_4 と N_2O に O_2 を添加させて作製する酸化窒化シリコン膜は膜中の固定電荷密度を低減させることが可能となり、ゲート絶縁膜として好ましい材料である。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、酸化シリコン膜や酸化タンタル膜などの絶縁膜を単層または積層構造として用いても良い。

【0097】そして、絶縁膜334上にゲート電極を形成するための第1導電膜335と第2導電膜336とを形成する。本実施例では、第1導電膜335を窒化タンタルまたはチタンで50～100nmの厚さに形成し、第2導電膜336をタングステンで100～300nmの厚さに形成する。これらの材料は、窒素雰囲気中における400～600℃の熱処理でも安定であり、抵抗率が著しく増大することがない。

【0098】次に図12(B)に示すように、レジストによるマスク337を形成し、ゲート電極を形成するための第1のエッチング処理を行う。エッチング方法に限定はないが、好適にはICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用いる。エッチング用ガスに CF_4 と Cl_2 を混合し、0.5～2Pa、好ましくは1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した場合にはタングステン膜、窒化タンタル膜及びチタン膜の場合でも、それぞれ同程度の速度でエッチングすることができる。

【0099】上記エッチング条件では、レジストによるマスクの形状と、基板側に印加するバイアス電圧の効果により端部をテーパ形状とすることができる。テーパ一部の角度は15～45°となるようにする。また、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50nm程度エッチングされる。こうして、第1のエッチング処理により第1導電膜と第2導電膜から成る第1形状の導電層338～340(第1の導電層338a～340aと第2導電層338b～340b)を形成する。341はゲート絶縁膜であり、第1の形状の導電

層で覆われない領域は20～50nm程度エッチングされ薄くなる。

【0100】さらに図12(C)に示すように第2のエッチング処理を行う。エッチングはICPエッチング法を用い、エッチングガスに CF_4 と Cl_2 と O_2 を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給してプラズマを生成する。基板側(試料ステージ)には50WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりタングステン膜を異方性エッチングし、第1の導電層である窒化タンタル膜またはチタン膜を残存させるようにする。こうして、第2形状の導電層342～344(第1の導電膜342a～344aと第2の導電膜342b～344b)を形成する。345はゲート絶縁膜であり、第2の形状の導電層342～344で覆われない領域はさらに20～50nm程度エッチングされて膜厚が薄くなる。

【0101】そして、第1のドーピング処理を行う。本ドーピング処理では、nチャネル型TFTのLDD領域を形成するためにn型の不純物(ドナー)をドーピングする。その方法はイオンドープ法若しくはイオン注入法で行う。例えば、イオンドープ法を用い、加速電圧を70～120keVとし、 $1 \times 10^{13}/\text{cm}^2$ のドーズ量で行い、第1の不純物領域を形成する。ドーピングは、第2の導電膜342b～344bを不純物元素に対するマスクとして用い、第1の導電膜342a～344aの下側の領域に不純物元素が添加されるようにドーピングする。こうして、第1の導電膜342a～344aと一部が重なる第1の不純物領域346～348が形成される。第1の不純物領域は $1 \times 10^{17} \sim 1 \times 10^{19}/\text{cm}^3$ の範囲の濃度で形成する。

【0102】次に、図12(D)に示すように、レジストでマスク349～351を形成し、第2のドーピング処理を行う。第2のドーピング処理は、nチャネル型TFTのソースまたはドレイン領域を形成するためにn型の不純物(ドナー)をドーピングする。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}/\text{cm}^2$ として行う。n型の不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いる。レジストでマスク349～351は個々にその形状を最適化することが可能であり、第2形状の導電層の外側まで覆う形状のものとして、先に形成した第1の不純物領域と重なるようにすることでLDD領域を形成することができる。こうして、第2の不純物領域352～354を形成する。第2の不純物領域352～354におけるリン(P)濃度は $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$ の範囲となるようにする。

【0103】そして、図12(E)に示すように、レジストによるマスク355を形成し、pチャネル型TFTを形成する島状半導体層331にp型の不純物(アクセ

プタ)をドーピングする。典型的にはボロン(B)を用いる。第3の不純物領域356、357の不純物濃度は $2 \times 10^{20} \sim 2 \times 10^{21}/\text{cm}^3$ となるようにし、含有するリン濃度の1.5~3倍のボロンを添加して導電型を反転させる。

【0104】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。第2形状の導電層342~344はゲート電極となる。その後、図12(F)に示すように、窒化シリコン膜または酸化窒化シリコン膜から成る保護絶縁膜358をプラズマCVD法で形成する。そして導電型の制御を目的としてそれぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。活性化はファーンズアニール炉を用いる熱アニール法で行うことが好ましい。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することもできる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の酸素雰囲気中で400~700℃、代表的には400~600℃で行うものであり、本実施例では500℃で4時間の熱処理を行う。

【0105】さらに、窒化シリコン膜359を形成し、350~450℃、好ましくは410℃の加熱処理を行う。この温度で第1の層間絶縁膜中の水素を放出させ、その後250~350℃にて0.1~1時間程度保持する加熱処理を行い、結晶質半導体膜の水素化を行う。このような二段階の加熱処理により結晶質半導体膜の水素化を行うことで、特に350℃以上の温度では水素化しにくいゲルマニウムのダングリングボンド(未結合種)を水素化し、補償することができる。

【0106】層間絶縁膜360は、ポリイミド、アクリルなどの有機絶縁物材料で形成し表面を平坦化する。勿論、プラズマCVD法でTEOSを用いて形成される酸化シリコン膜を適用しても良いが、平坦性を高める観点からは前記有機物材料を用いることが望ましい。

【0107】次いで、コンタクトホールを形成し、アルミニウム(Al)、チタン(Ti)、タンタル(Ta)などを用いて、ソースまたはドレイン配線361~366を形成する。

【0108】pチャネル型TFT370にはチャネル形成領域367、ソース領域またはドレイン領域として機能する第2の不純物領域356、と第1の不純物領域357を有している。nチャネル型TFT371はチャネル形成領域368、第2形状の導電層343から成るゲート電極と重なる第1不純物領域347とソース領域またはドレイン領域として機能する第2不純物領域353を有している。nチャネル型TFT372はチャネル形成領域369、第2形状の導電層344から成るゲート電極と重なる第1不純物領域348a、ゲート電極の外側に形成される第2不純物領域348b、ソース領域またはドレイン領域として機能する第3不純物領域354

を有している。第1不純物領域347、348aはゲート電極とオーバーラップするLDD領域であり、ドレイン端に形成される高電界領域を緩和してホットキャリア効果によるTFTに劣化を防ぐ上で効果がある。第2不純物領域348bはLDD領域であり、本実施例で示す工程では、オフ電流値を低減するために最適な寸法を設定することができる。

【0109】以上の工程で、nチャネル型TFTとpチャネル型TFTとを相補的に組み合わせたCMOS型のTFTを得ることができる。本実施例で示す工程は、各TFTに要求される特性を考慮してLDDを設計し、同一基板内において作り分けることができる。このようなCMOS型のTFTは、アクティブマトリクス型の液晶表示装置やEL表示装置の駆動回路を形成することを可能とする。それ以外にも、このようなnチャネル型TFTまたはpチャネル型TFTは、画素部を形成するトランジスタに応用することができる。さらに、従来の半導体基板にて作製されるLSIに代わる薄膜集積回路を実現するTFTとして用いることができる。尚、ここではTFTをシングルゲートの構造で示したが、勿論、複数のゲート電極を設けたマルチゲート構造を採用することもできる。

【0110】また、CMOS回路を組み合わせることで基本論理回路を構成した、さらに複雑なロジック回路(信号分割回路、D/Aコンバータ、オペアンプ、γ補正回路など)をも構成することができ、さらにはメモリやマイクロプロセッサをも形成することが可能である。

【0111】[実施例7]本実施例は、画素部と駆動回路が同一基板上に形成されたモノシリック型の液晶表示装置の構成例を図13、14を用いて説明する。画素部におけるスイッチング用のTFTと駆動回路のnチャネル型及びpチャネル型のTFTは、いずれも本発明のシリコンとゲルマニウムから成る結晶質半導体膜を用いて活性領域を形成している。シリコンとゲルマニウムから成る結晶質半導体膜は実施例1~3で示す方法により作製されるいずれのものを適用することができる。

【0112】図13において、基板401は、好適にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板などを用いる。その他に石英基板を用いても良い。ガラス基板を用いる場合にはブロッキング層402が形成される。

【0113】画素部445におけるnチャネル型TFT442と駆動回路444のnチャネル型TFT441及びpチャネル型TFT440の構造に限定はないが、本実施例では実施例6により作製されるTFTを基本的な構造として採用している。勿論、実施例4または実施例5のTFTを採用することも可能である。

【0114】駆動回路444には配線408、417及びソースまたはドレイン配線418~421が形成されている。また、画素部445においては、画素電極42

4、ゲート配線 423、接続電極 422、ソース配線 409 が形成されている。

【0115】駆動回路 444 の p チャンネル型 TFT 440 には、半導体層 403 にチャンネル形成領域 426、ソース領域またはドレイン領域として機能する第 3 不純物領域 427 を有している。第 3 の不純物領域はゲート電極 410 の外側（重ならない位置）に形成される。このような構造の p チャンネル型 TFT は、図 12 (D) の工程の後に、レジストによるマスクを除去し、第 1 の導電膜を選択的にエッチングすることにより形成し、その後 p 型不純物をドーピングすることにより形成することができる。

【0116】n チャンネル型 TFT 441 には、半導体層 404 にチャンネル形成領域 428、第 2 形状の導電層 411 から成るゲート電極と重なる第 1 不純物領域 429 とソース領域またはドレイン領域として機能する第 2 不純物領域 430 を有している。この n チャンネル型 TFT 441 は実施例 6 の n チャンネル型 TFT 371 と同様にして作製することができる。本発明で得られるシリコンとゲルマニウムから成る結晶質半導体膜は {101} の配向比率が高く結晶粒界における欠陥密度の割合が低く、電界効果移動度を高めることができる。このような TFT で駆動回路を形成することにより、より高い周波数で回路を動作させることができる。

【0117】画素部の n チャンネル型 TFT 442 には、半導体層 405 にチャンネル形成領域 431、ゲート電極の外側に形成される第 1 不純物領域 432 (LDD 領域) とソース領域またはドレイン領域として機能する第 2 不純物領域 433、434、435 を有している。このような構造の n チャンネル型 TFT は、図 12 (D) の工程の後に、レジストによるマスクを除去し、第 1 の導電膜を選択的にエッチングすることにより形成することができる。しかし、n チャンネル型 TFT 441 の構造を保存するためには、保護用のレジスト層を形成するフォトリソグラフィが 1 枚追加となる。また、保持容量 443 の一方の電極として機能する半導体層 406 は第 6 不純物領域 437、第 5 不純物領域 438 と不純物が添加されない領域 436 が形成されている。

【0118】画素部 445 においては、接続電極 422 によりソース配線 409 は、n チャンネル型 TFT 442 のソースまたはドレイン領域 433 と電気的な接続が形成される。また、ゲート配線 423 は、ゲート電極として機能する第 3 形状の導電層 412 と電気的な接続が形成される。また、画素電極 424 は、画素の n チャンネル型 TFT 442 のソースまたはドレイン領域 435 及び保持容量 443 の一方の電極である半導体層 406 の不純物領域 438 と接続している。

【0119】図 7 における画素部 445 の断面図は、図 14 で示す A-A' 線に対応したものである。ゲート電極として機能する第 3 形状の導電層 412 は隣接する画

素の保持容量の一方の電極を兼ね、画素電極 452 と接続する半導体層 453 と重なる部分で容量を形成している。また、ソース配線 407 と画素電極 424 及び隣接する画素電極 451 との配置関係は、画素電極 424、451 の端部をソース配線 407 上に設け、重なり部を形成することにより、迷光を遮り遮光性を高めている。

【0120】[実施例 8] 本実施例では実施例 7 で作製した各 TFT から、アクティブマトリクス型の液晶表示装置を作製する一例を示す。図 15 では透過型の液晶表示装置を作製するために、画素部 445 の層間絶縁膜上に透明導電膜で形成した画素電極 601 が形成されている。画素電極は画素の n チャンネル型 TFT 442 に接続する補助電極 609、及び保持容量 443 の補助電極 610 と接続されている。これらの補助電極とゲート線 608、接続電極 607、駆動回路 444 の各 TFT のソースまたはドレイン配線 603 ~ 606、配線 602 は、フォトリソグラフィまたは感光性ポリイミドまたは感光性アクリルなどからなる有機樹脂 611 ~ 619 をマスクとして、その下層に形成されている導電膜をエッチングして形成されている。

【0121】有機樹脂 611 ~ 619 は、配線を形成するための導電膜上に当該有機樹脂材料を全面に塗布し、光露光プロセスにより図 15 に示すようにパターン形成されている。その後、オフセット印刷により 5 ~ 20 mPa の粘度のポリイミド樹脂層を形成し、200℃にて焼成して配向膜を形成している。オフセット印刷により塗布したポリイミド樹脂は、焼成の段階で有機樹脂 611 ~ 619 とその下層の配線または電極の段差部にうまく回り込み、その端部を覆うことができる。その後、液晶を配向させるためラビングを行う。

【0122】対向側の基板 621 には透明導電膜で形成する対向電極 622 と配向膜 623 を形成し、画素部 445 及び駆動回路 444 が形成されている基板と対向基板 621 とをシール材 624 で貼り合わせる。シール材 624 にはフィラー（図示せず）が混入されていて、このフィラーとスペーサ（図示せず）によって均一な間隔を持って貼り合わされている。その後、両基板の間に液晶 625 を注入する。液晶材料には公知の液晶材料を用いれば良い。例えば、TN 液晶の他に、電場に対して透過率が連続的に変化する電気光学応答性を示す、無しきい値反強誘電性混合液晶を用いることもできる。この無しきい値反強誘電性混合液晶には、V 字型の電気光学応答特性を示すものもある。このようにして図 15 に示すアクティブマトリクス型の液晶表示装置が完成する。

【0123】[実施例 9] 本実施例は、上記実施例 4 ~ 6 で得られる TFT を用いて蛍光又は燐光を含むエレクトロルミネセンス (Electro luminescence: EL) を利用した表示装置を作製する一例を図 16 を用いて説明する。

【0124】同一の絶縁体上に画素部とそれを駆動する

駆動回路を有した発光装置の例（但し封止前の状態）を図 16 に示す。なお、駆動回路には基本単位となる CMOS 回路を示し、画素部は画素に必要な TFT の構成を例示している。この CMOS 回路は実施例 6 に従えば得ることができる。

【0125】図 16 において、基板 700 は絶縁体であり、その上には n チャンネル型 TFT 701、p チャンネル型 TFT 702、p チャンネル型 TFT からなるスイッチング TFT 703 および n チャンネル型 TFT からなる電流制御 TFT 704 が形成されている。これらの TFT のチャンネル形成領域は、本発明に基づき作製される結晶質半導体膜で形成され、その具体的な作製方法は実施例 1～3 に示されている。電流制御 TFT は高い電流駆動能力が要求されるが、本発明で得られる多結晶半導体膜を用いることにより、電界効果移動度を高めることが可能となり、高い電流駆動能力を持たせることができる。

【0126】n チャンネル型 TFT 701 および p チャンネル型 TFT 702 は実施例 6 を参照すれば良いので省略する。また、スイッチング TFT 703 はソース領域およびドレイン領域の間に二つのチャンネル形成領域を有した構造（ダブルゲート構造）となっている。なお、本実施例はダブルゲート構造に限定されることなく、チャンネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0127】また、電流制御 TFT 704 のドレイン領域 705 の上には第 2 層間絶縁膜 707 が設けられる前に、第 1 層間絶縁膜 706 にコンタクトホールが設けられている。これは第 2 層間絶縁膜 707 にコンタクトホールを形成する際に、エッチング工程を簡単にするためである。第 2 層間絶縁膜 707 にはドレイン領域 705 に到達するようにコンタクトホールが形成され、ドレイン領域 705 に接続された画素電極 708 が設けられている。画素電極 708 は EL 素子の陰極として機能する電極であり、周期表の 1 族もしくは 2 族に属する元素を含む導電膜を用いて形成されている。本実施例では、リチウムとアルミニウムとの化合物からなる導電膜を用いる。

【0128】次に、713 は画素電極 708 の端部を覆うように設けられた絶縁膜であり、本明細書中ではバンクと呼ぶ。バンク 713 はシリコンを含む絶縁膜もしくは樹脂膜で形成すれば良い。樹脂膜を用いる場合、樹脂膜の比抵抗が $1 \times 10^6 \sim 1 \times 10^{12} \Omega \text{m}$ （好ましくは $1 \times 10^8 \sim 1 \times 10^{10} \Omega \text{m}$ ）となるようにカーボン粒子もしくは金属粒子を添加すると、成膜時の絶縁破壊を抑えることができる。

【0129】また、EL 素子 709 は画素電極（陰極）708、EL 層 711 および陽極 712 からなる。陽極 712 は、仕事関数の大きい導電膜、代表的には酸化物質導電膜が用いられる。酸化物質導電膜としては、酸化インジウム、酸化スズ、酸化亜鉛もしくはそれらの化合物を

用いれば良い。なお、本明細書中では発光層に対して正孔注入層、正孔輸送層、正孔阻止層、電子輸送層、電子注入層もしくは電子阻止層を組み合わせた積層体を EL 層と定義する。

【0130】尚、ここでは図示しないが陽極 712 を形成した後、EL 素子 709 を完全に覆うようにしてパッシベーション膜を設けることは有効である。パッシベーション膜としては、炭素膜、窒化シリコン膜もしくは窒化酸化シリコン膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0131】[実施例 10] 実施例 1 又は 2 で説明する方法に従い作製される結晶質シリコン膜には結晶化において利用した金属元素が残存している。本実施例は実施例 4 と異なる方法で当該金属元素を除去する方法について説明する。その方法は、希ガス元素を含む半導体膜、或いは希ガス元素を添加した半導体膜をゲッタリングサイトとして、金属元素を添加して作製された結晶質シリコン膜から当該金属元素を加熱処理により除去するものである。以下、図 25 を用いて説明する。

【0132】まず、実施例 1 又は 2 に従って、[101] 面の配向率の高い結晶質シリコン膜を形成する。絶縁表面を有する基板 2500 上に下地絶縁膜 2501 として SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される 50 nm の第 1 酸化窒化シリコン膜と、 SiH_4 、及び N_2O を反応ガスとして成膜される 100 nm の第 2 酸化窒化シリコン膜を積層形成する。

【0133】次いで、下地絶縁膜 2501 上に、実施例 1 又は 2 に従って非晶質半導体膜を形成し、結晶化の処理を行ってゲルマニウムを含む結晶質シリコン膜 2502 を形成する。結晶化の際に添加したニッケルをゲッタリングにより除去する場合、ニッケルは酸素濃度の高い領域に移動しやすい傾向があるため、ゲルマニウムを含む結晶質シリコン膜 2502 中の酸素濃度は、 $5 \times 10^{18}/\text{cm}^3$ 以下となるように形成することが望ましい。（図 25（A））

【0134】また、上記結晶化の後、フッ酸を含むエッチャント、例えば希フッ酸や FPM（フッ酸、過酸化水素水、純水との混合液）で偏析した金属元素を除去または低減してもよい。また、フッ酸を含むエッチャントで表面をエッチング処理した場合には、上記ランプ光源からの強光を照射して表面を平坦化する処理を加えても良い。

【0135】ゲッタリング処理を行うに当たっては、ゲルマニウムを含む結晶質シリコン膜上にバリア層 2503 を形成する。バリア層 2503 としては、金属元素（ここでは主にニッケル）をゲッタリングサイトに貫通させることができ、さらにゲッタリングサイトの除去工程において用いるエッチング液がしみこまない程度の多孔質膜を形成する。そのようなバリア層として、オゾン水で処理することにより形成されるケミカルオキシサイド

膜、酸素を含む雰囲気下において紫外線の照射によりオゾンが発生させて酸化させる酸化膜、スパッタリングや真空蒸着法で形成される酸化シリコン膜 (SiO_x) などの 1~5 nm 程度の絶縁膜が適用できる。その他に、このバリア層 2503 は薄いものでよいことから、自然酸化膜であっても代替可能である。

【0136】次いで、後のゲッタリング処理の際にゲッタリングサイトとして機能する半導体膜 2504 をバリア層 2503 上に形成する (図 25 (B))。この半導体膜 2504 はプラズマ CVD 法、減圧熱 CVD 法、好ましくはスパッタ法を用いて形成される非晶質構造を有する半導体膜を用いる。この半導体膜 2504 の膜厚は 50~200 nm、好ましくは 150 nm とする。後のゲッタリング処理の際、ニッケルは酸素濃度の高い領域に移動しやすい傾向があるため、半導体膜 2504 には、酸素 (SIMS 分析での濃度が $5 \times 10^{18}/\text{cm}^3$ 以上、好ましくは $1 \times 10^{19}/\text{cm}^3$ 以上) を含有させてゲッタリング効率を向上させることが望ましい。また、希ガス元素を $1 \times 10^{20}/\text{cm}^3$ の濃度で含む半導体膜を適用する。

【0137】最も好適な半導体膜の形成方法は、スパッタ法によりシリコンをターゲットとして、希ガスをスパッタガスとして用いる。スパッタ法では成膜時の圧力を低下させることにより半導体膜中に希ガスを取り込ませることが容易であり、 $1 \times 10^{20} \sim 2 \times 10^{21}/\text{cm}^3$ 、好ましくは $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$ の濃度で希ガス元素を含む半導体膜を形成することが可能である。希ガス元素は He、Ne、Ar、Kr、Xe から選ばれた一種または複数種であり、これらのイオンを電界で加速して半導体膜に注入することにより、ダングリングボンドや格子歪みを形成してゲッタリングサイトを形成することができる。中でも安価なガスである Ar を用いることが望ましい。

【0138】また、希ガス元素に加え水素、酸素、ボロン、リンから選ばれた一種または複数種を添加してもよく、複数の元素を添加することにより相乗的にゲッタリング効果が得られる。

【0139】次いで、加熱処理またはランプ光源からの強光の照射を行ってゲッタリングを行う。加熱処理によりゲッタリングを行う場合は、窒素雰囲気中で 450~800℃、1~24 時間、例えば 500℃ にて 4 時間の熱処理を行えばよい。また、ランプ光源からの強光の照射によりゲッタリングを行う場合には、加熱用のランプ光源を 120~300 秒、好ましくは 180 秒間点灯させ、650~750℃ に加熱する処理を行う。

【0140】このゲッタリングにより、図 25 (C) 中の矢印の方向 (縦方向) にニッケルが移動し、バリア層 2503 で覆われたゲルマニウムを含む結晶質シリコン膜 2502 に含まれる金属元素の除去、または金属元素の濃度の低減が行われる。リンを用いたゲッタリングと比較して、希ガス元素の添加によるゲッタリングは非常

に効果的であり、さらに高濃度、例えば $1 \times 10^{20} \sim 5 \times 10^{21}/\text{cm}^3$ で添加できるため、結晶化に用いる金属元素の添加量を多くすることができる。即ち、結晶化に用いる金属元素の添加量を多くすることによって結晶化の処理時間をさらに短時間で行うことが可能となる。また、結晶化の処理時間を変えない場合には、結晶化に用いる金属元素の添加量を多くすることによって、さらなる低温で結晶化することができる。また、結晶化に用いる金属元素の添加量を多くすることによって、自然核の発生を低減することができ、良好な結晶質半導体膜を形成することができる。

【0141】上記ゲッタリング処理後、半導体膜からなるゲッタリングサイト 2504 を選択的にエッチングして除去する。エッチングの方法としては、 ClF_3 によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラエチルアンモニウムハイドロオキシド (化学式 $(\text{CH}_3)_4\text{NOH}$) を含む水溶液などアルカリ溶液によるウエットエッチングで行うことができる。この時、バリア層 2503 はエッチングストッパーとして機能する。また、バリア層 2503 はその後フッ酸により除去すれば良い。

【0142】その後、図 25 (D) に示すように、得られたゲルマニウムを含む結晶質シリコン膜を所望の形状にエッチング処理して島状に分離された半導体層 2505 を形成する。この半導体層 2505 を用いて実施例 4~6 に示す TFT を形成することができる。

【0143】図 26 はゲッタリング処理前後における金属元素 (ここではニッケル) の濃度を全反射蛍光 X 線分光 (Total Reflection X-ray Fluorescence Spectroscopy: TXRF) で測定した結果を示している。TXRF では X 線ビームを膜表面に対し非常に浅い角度で入射させ、金属元素など不純物が発生する蛍光 X 線を検出する測定方法である。TXRF は主に表面から 3~5 nm の深さの情報が与えられるが、結晶質シリコン膜に残留するニッケル濃度を見積もることが可能である。検出感度はおよそ $10^{10}/\text{cm}^2$ である。

【0144】図 26 において、縦軸はニッケル濃度を示している。ゲッタリング処理無しとした試料のデータでは 5×10^{12} (任意量) の値が得られているが、ゲッタリング処理有りとした試料ではそれよりも小さい値を示しており、ゲッタリング処理により結晶質半導体膜中のニッケル濃度はその 100 分の 1 程度にまで減少していることが示されている。ゲッタリング処理の熱処理温度が 450℃ と 500℃ の場合を比較すると、500℃ の方がより低減されていることが解る。

【0145】本実施例で得られたゲルマニウムを含む結晶質シリコン膜は、[101] 面の配向率が高く、且つ、膜中の金属元素の濃度が十分低減されているため、TFT の特性においてオフ電流を低減することができる。

【0146】[実施例 11] 本発明の半導体装置は、各種

多様の電子機器の表示装置や各種集積回路、或いは、従来の集積回路に代わる回路用途に応用することができる。このような半導体装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ、プロジェクター等が挙げられる。それらの一例を図 22～図 24 に示す。

【0147】図 22 (A) は携帯電話であり、表示用パネル 2701、操作用パネル 2702、接続部 2703 から成り、表示用パネル 2701 には液晶表示装置または E L 表示装置に代表される表示装置 2704、音声出力部 2705、アンテナ 2709 などが設けられている。操作パネル 2702 には操作キー 2706、電源スイッチ 2707、音声入力部 27058 などが設けられている。本発明は表示装置 2704 及びそれに付随する半導体集積回路を形成することができる。

【0148】図 22 (B) はビデオカメラであり、本体 9101、液晶表示装置または E L 表示装置に代表される表示装置 9102、音声入力部 9103、操作スイッチ 9104、バッテリー 9105、受像部 9106 から成っている。本発明は表示装置 9102 及びそれに付随する半導体集積回路に適用することができる。

【0149】図 22 (C) はモバイルコンピュータ或いは携帯型情報端末であり、本体 9201、カメラ部 9202、受像部 9203、操作スイッチ 9204、液晶表示装置または E L 表示装置に代表される表示装置 9205 で構成されている。本発明の半導体装置は表示装置 9205 及びそれに付随する半導体集積回路に適用することができる。

【0150】図 22 (D) はテレビ受像器であり、本体 9401、スピーカ 9402、液晶表示装置または E L 表示装置に代表される表示装置 9403、受信装置 9404、増幅装置 9405 等で構成される。本発明は表示装置 9403 及びそれに付随する半導体集積回路に適用することができる。

【0151】図 22 (E) は携帯書籍であり、本体 9501、液晶表示装置または E L 表示装置に代表される表示装置 9502、9503、記憶媒体 9504、操作スイッチ 9505、アンテナ 9506 から構成されており、ミニディスク (MD) や DVD に記憶されたデータや、アンテナで受信したデータを表示するものである。本発明は表示装置 9502、9503 や、記憶媒体 9504 及びそれに付随する半導体集積回路に適用することができる。

【0152】図 23 (A) はパーソナルコンピュータであり、本体 9601、画像入力部 9602、液晶表示装置または E L 表示装置に代表される表示装置 9603、キーボード 9604 で構成される。本発明は表示装置 9603 や、内蔵する各種集積回路に適用することができる。

【0153】図 23 (B) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 9701、液晶表示装置または E L 表示装置に代表される表示装置 9702、スピーカ部 9703、記録媒体 9704、操作スイッチ 9705 で構成される。なお、この装置は記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示装置 9702 や、内蔵する各種集積回路に適用することができる。

【0154】図 23 (C) はデジタルカメラであり、本体 9801、液晶表示装置または E L 表示装置に代表される表示装置 9802、接眼部 9803、操作スイッチ 9804、受像部（図示しない）で構成される。本発明は表示装置 9802 や、内蔵する各種集積回路に適用することができる。

【0155】図 24 (A) はフロント型プロジェクターであり、投射装置 3601、スクリーン 3602 で構成される。本発明は投射装置 3601 やその他の信号制御回路に適用することができる。

【0156】図 24 (B) はリア型プロジェクターであり、本体 3701、投射装置 3702、ミラー 3703、スクリーン 3704 で構成される。本発明は投射装置 3702 やその他の信号制御回路に適用することができる。

【0157】尚、図 24 (C) は、図 24 (A) 及び図 24 (B) 中における投射装置 3601、3702 の構造の一例を示した図である。投射装置 3601、3702 は、光源光学系 3801、ミラー 3802、3804～3806、ダイクロイックミラー 3803、プリズム 3807、液晶表示装置 3808、位相差板 3809、投射光学系 3810 で構成される。投射光学系 3810 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 24 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、I R フィルム等の光学系を設けてもよい。

【0158】また、図 24 (D) は、図 24 (C) 中における光源光学系 3801 の構造の一例を示した図である。本実施例では、光源光学系 3801 は、リフレクター 3811、光源 3812、レンズアレイ 3813、3814、偏光変換素子 3815、集光レンズ 3816 で構成される。なお、図 24 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、I R フィルム等の光学系を設けてもよい。

【0159】ここでは図示しなかったが、本発明はその他にもナビゲーションシステムをはじめ冷蔵庫、洗濯

機、電子レンジ、固定電話機、ファクシミリなどに組み込む表示装置としても適用することも可能である。このように本発明の適用範囲はきわめて広く、さまざまな製品に適用することができる。

【0160】

【発明の効果】間欠放電またはパルス放電を用いたプラズマCVD法によりゲルマニウムが添加された非晶質半導体膜を形成し、当該半導体膜の結晶化を助長する元素を添加して加熱処理により結晶化することにより、【101】の配向比率が50%以上の多結晶半導体膜を得ることができる。

【0161】そのような多結晶半導体膜を用い、半導体装置の活性領域を形成することができる。特に、薄膜トランジスタのチャネル形成領域を形成するのに適している。このような結晶質半導体膜を用いたTFTは、アクティブマトリクス型の液晶表示装置やEL表示装置を作製するためのTFTとして、また従来の半導体基板にて作製されるLSIに代わる薄膜集積回路を実現するTFTとして用いることができる。

【図面の簡単な説明】

【図1】 結晶質半導体膜の配向比率を表すデータであり、初期堆積膜の成膜条件として間欠放電におけるデュエティー比依存性を示すグラフ。

【図2】 結晶質半導体膜の配向比率を表すデータであり、初期堆積膜の成膜条件として間欠放電における放電持続時間依存性を示すグラフ。

【図3】 結晶質半導体膜の配向比率を表すデータであり、初期堆積膜の成膜条件として間欠放電における繰り返し周波数依存性を示すグラフ。

【図4】 本発明に用いるプラズマCVD装置の構成を示す図。

【図5】 本発明に用いるプラズマCVD装置の反応室の構成を示す図。

【図6】 EBSF法で得られる逆極点図の一例（模式図）。

【図7】 本発明の結晶質半導体膜の作製方法を説明す

る図。

【図8】 本発明の結晶質半導体膜の作製方法を説明する図。

【図9】 本発明の結晶質半導体膜の作製方法を説明する図。

【図10】 本発明の結晶質半導体膜を用いた逆スタガ型のTFTの構造を説明する断面図。

【図11】 本発明の結晶質半導体膜を用いてTFTを作製する工程を説明する図。

10 【図12】 本発明の結晶質半導体膜を用いてCMOS構造のTFTを作製する工程を説明する図。

【図13】 本発明の結晶質半導体膜を用いた表示装置の構造を説明する断面図。

【図14】 画素部における画素構造の上面図。

【図15】 本発明の結晶質半導体膜を用いた液晶表示装置の構造を説明する断面図。

【図16】 本発明の結晶質半導体膜を用いたEL表示装置の構造を説明する断面図。

20 【図17】 間欠放電プラズマCVD法において、カソードに印加される高周波電力の波形をオシロスコープで観測したときの写真。

【図18】 高周波電力の印加とラジカルの生成過程を説明するモデルを説明する図。

【図19】 NiSi_x を核とした結晶化のモデルを説明する図。

【図20】 結晶核の隣接間距離を示す累積度数グラフ。

【図21】 GeH_4 の流量と結晶核発生密度との関係を示すグラフ。

30 【図22】 半導体装置の一例を示す図。

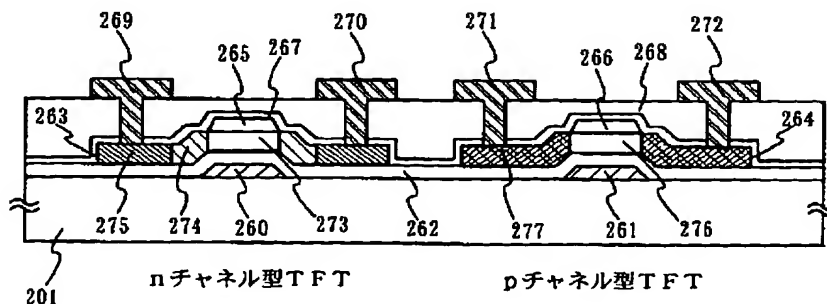
【図23】 半導体装置の一例を示す図。

【図24】 プロジェクターの一例を示す図。

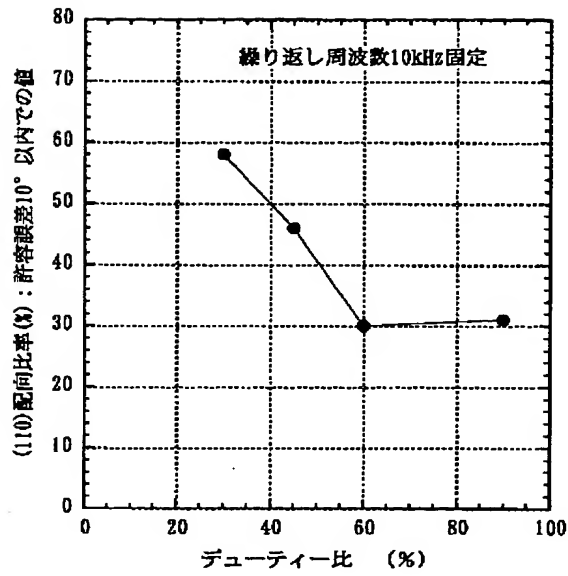
【図25】 結晶質半導体膜の作製方法を説明する図。

【図26】 ゲッタリング処理前後におけるTXRFで測定される金属元素の濃度を示すグラフ。

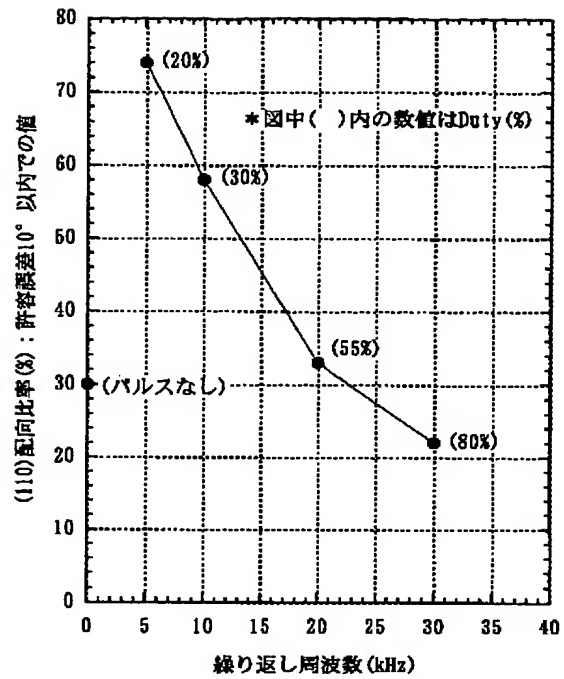
【図10】



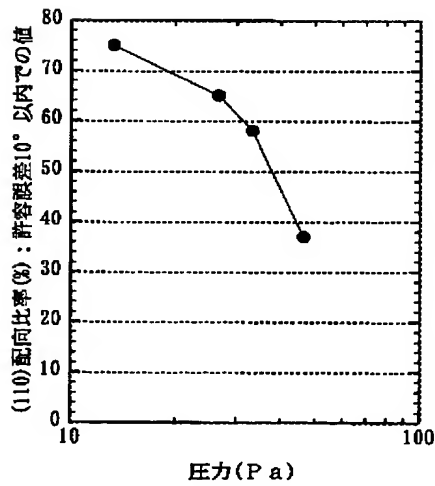
【図 1】



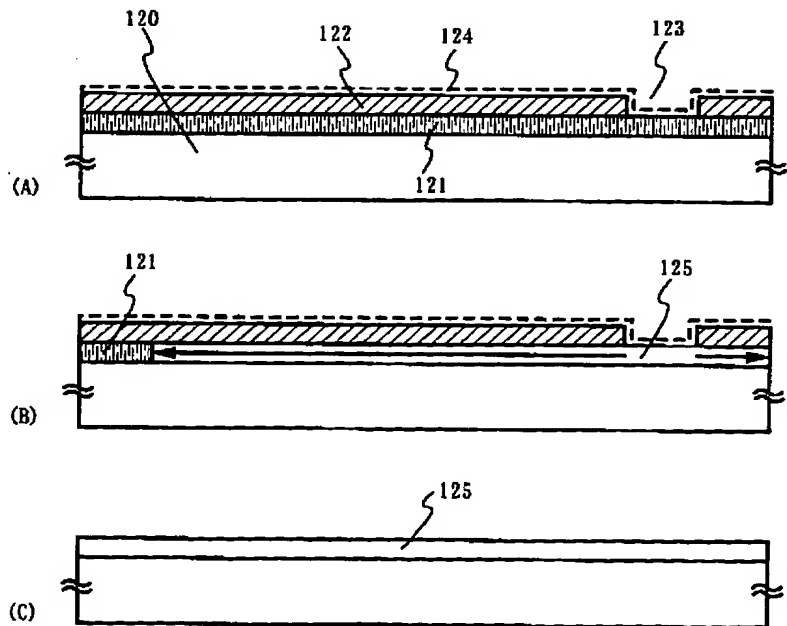
【図 2】



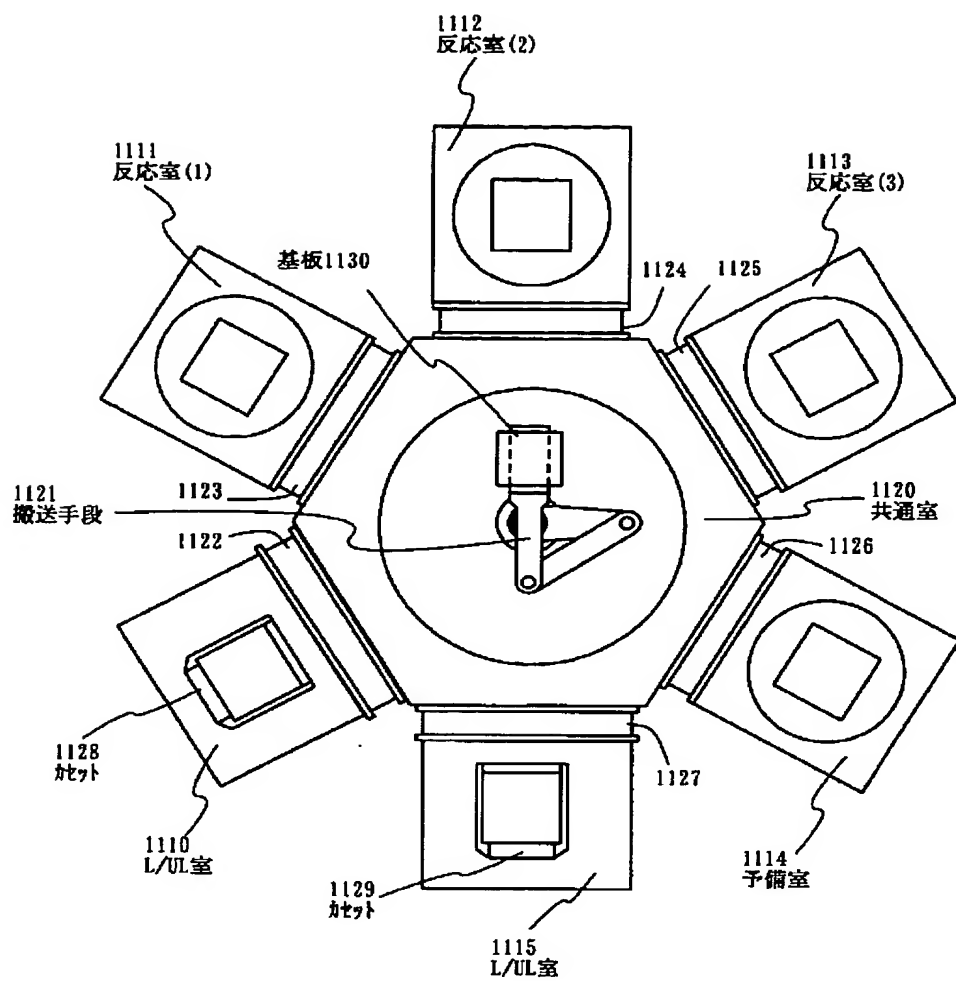
【図 3】



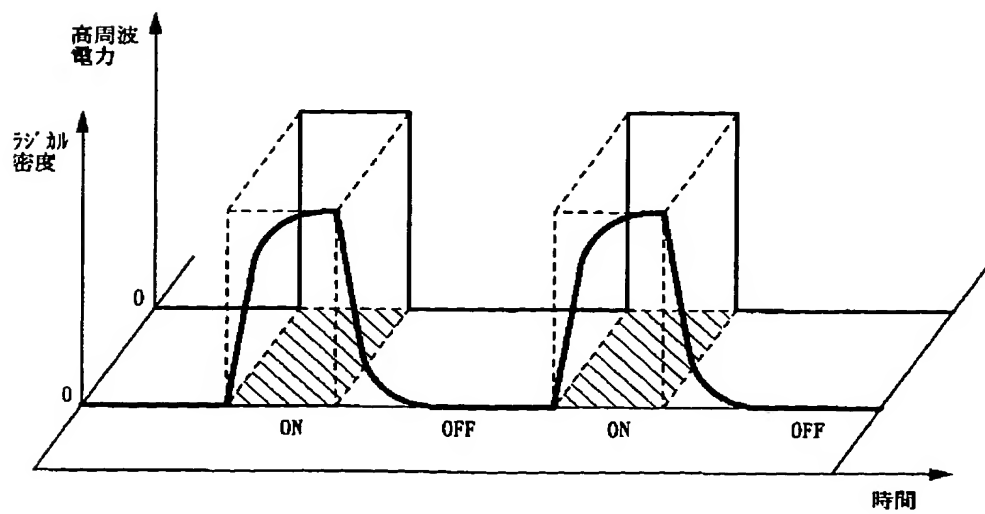
【図 8】



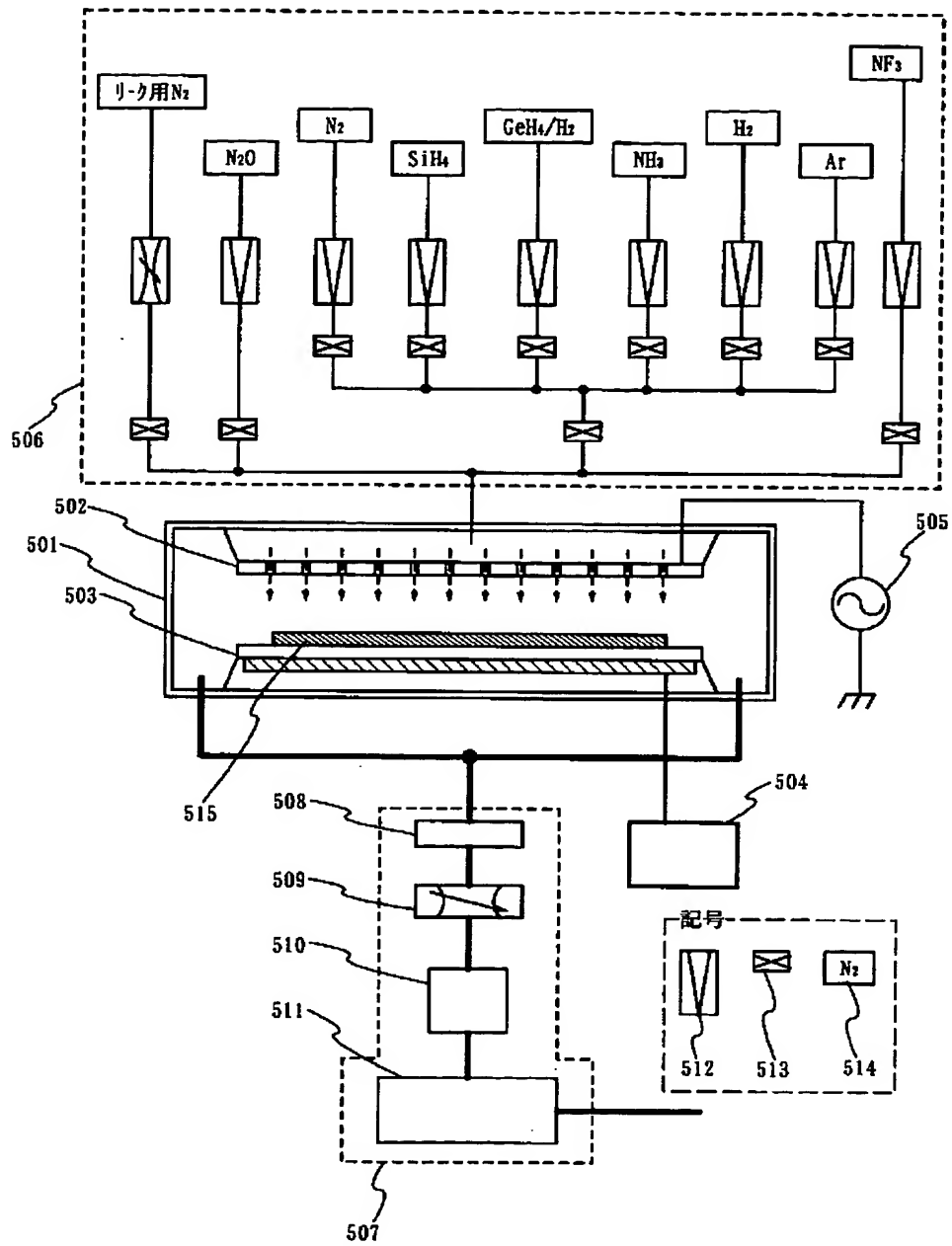
【図 4】



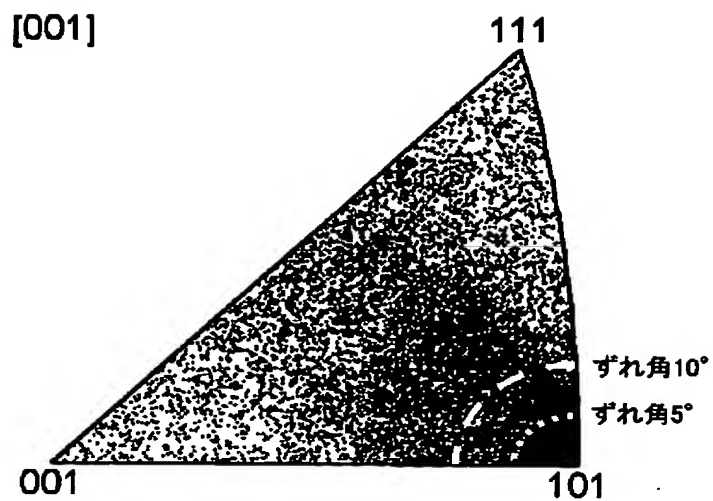
【図 18】



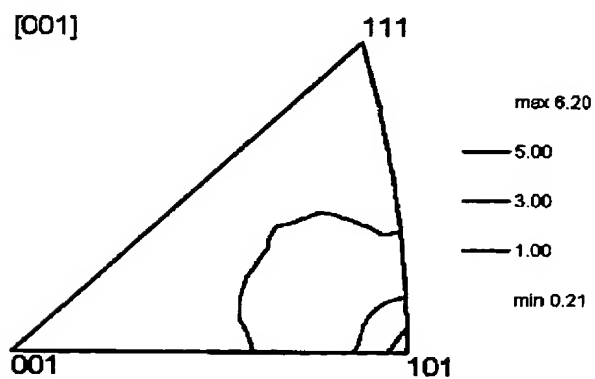
【図 5】



【図 6】

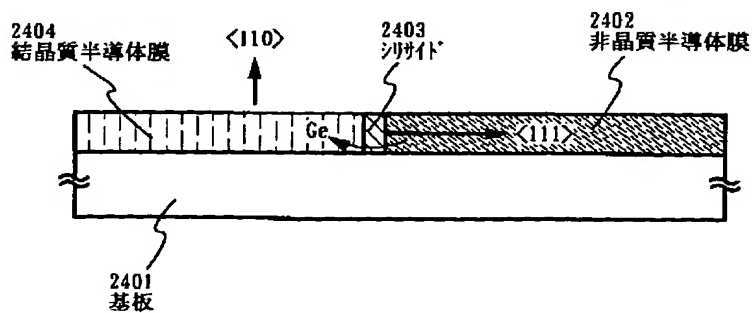


(A) マッピング測定における全測定点のプロット

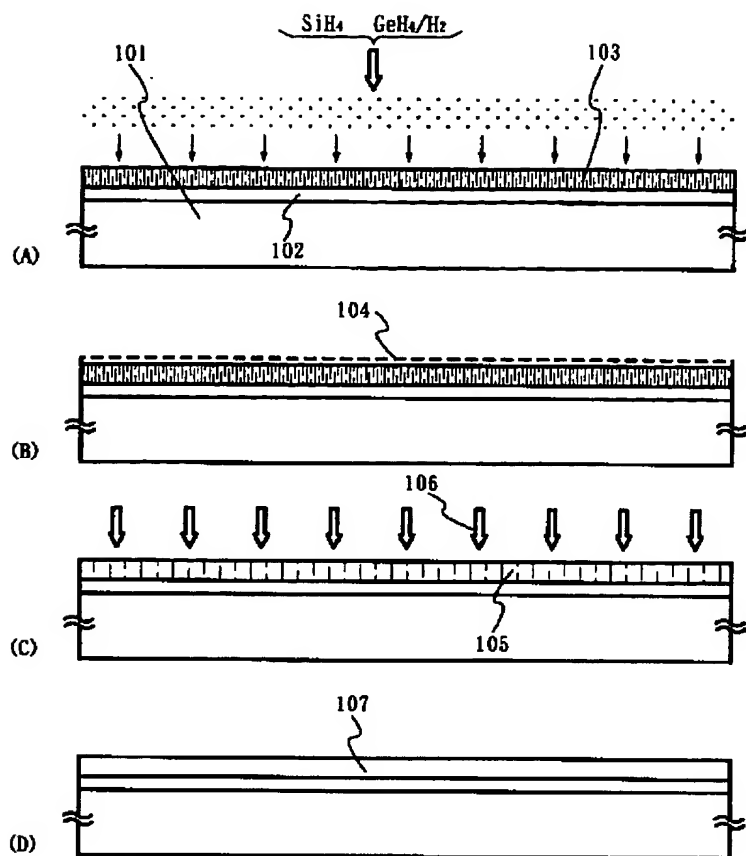


(B) 特定指数への配向の集中度を等高線表示した例

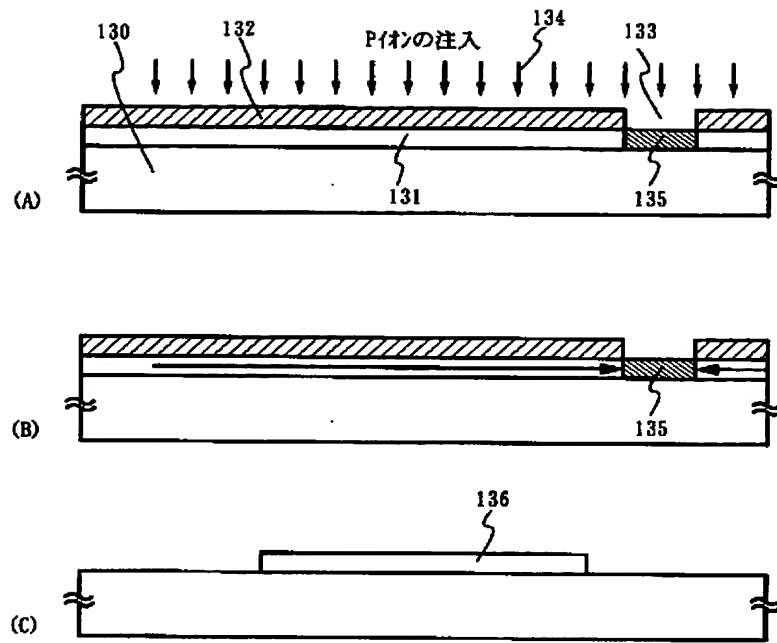
【図 19】



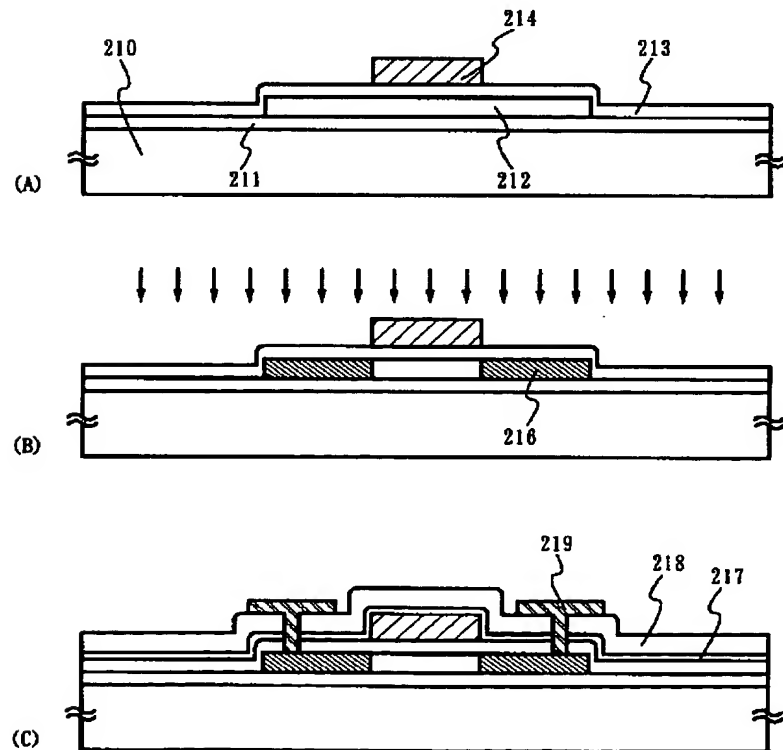
【図 7】



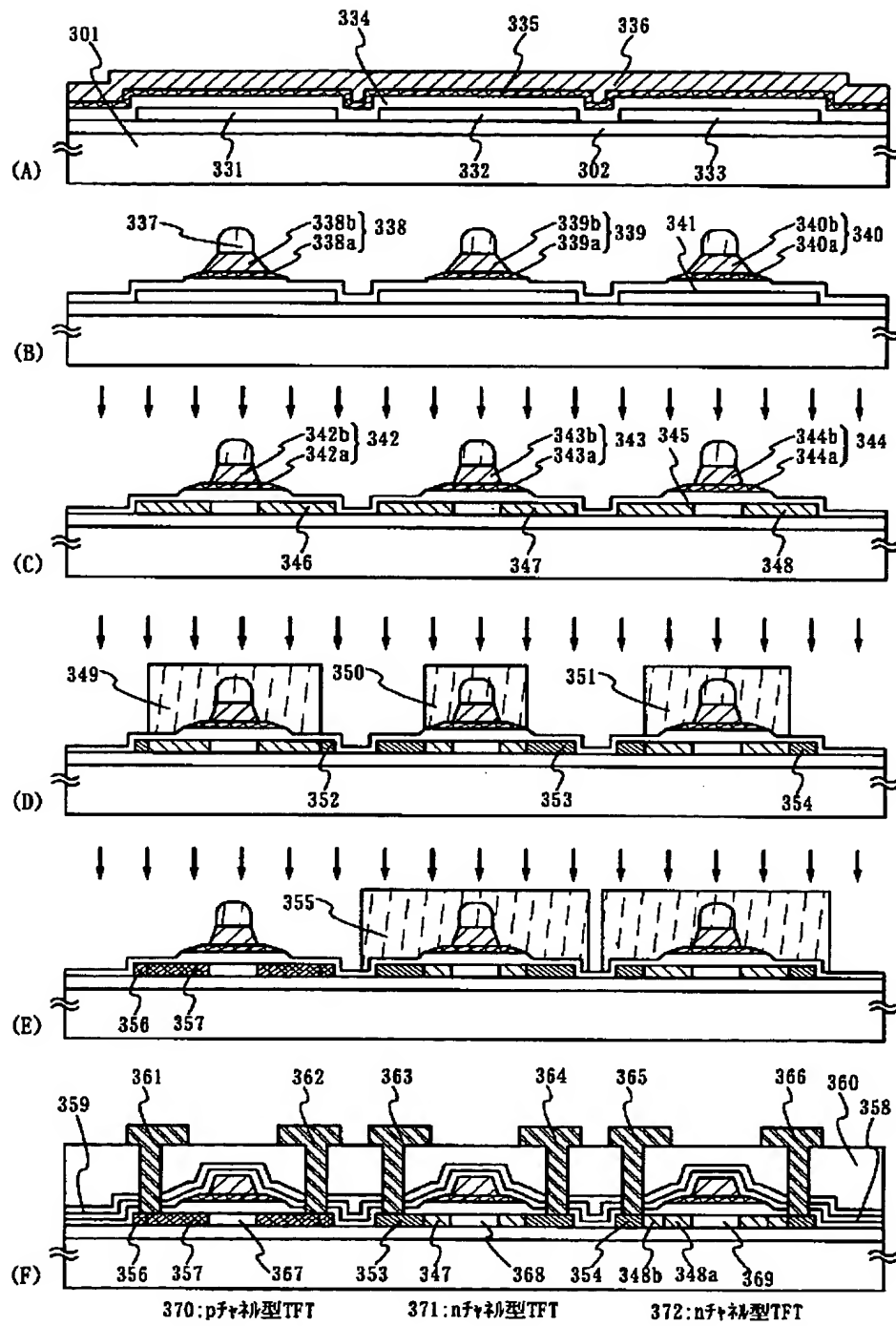
【図 9】



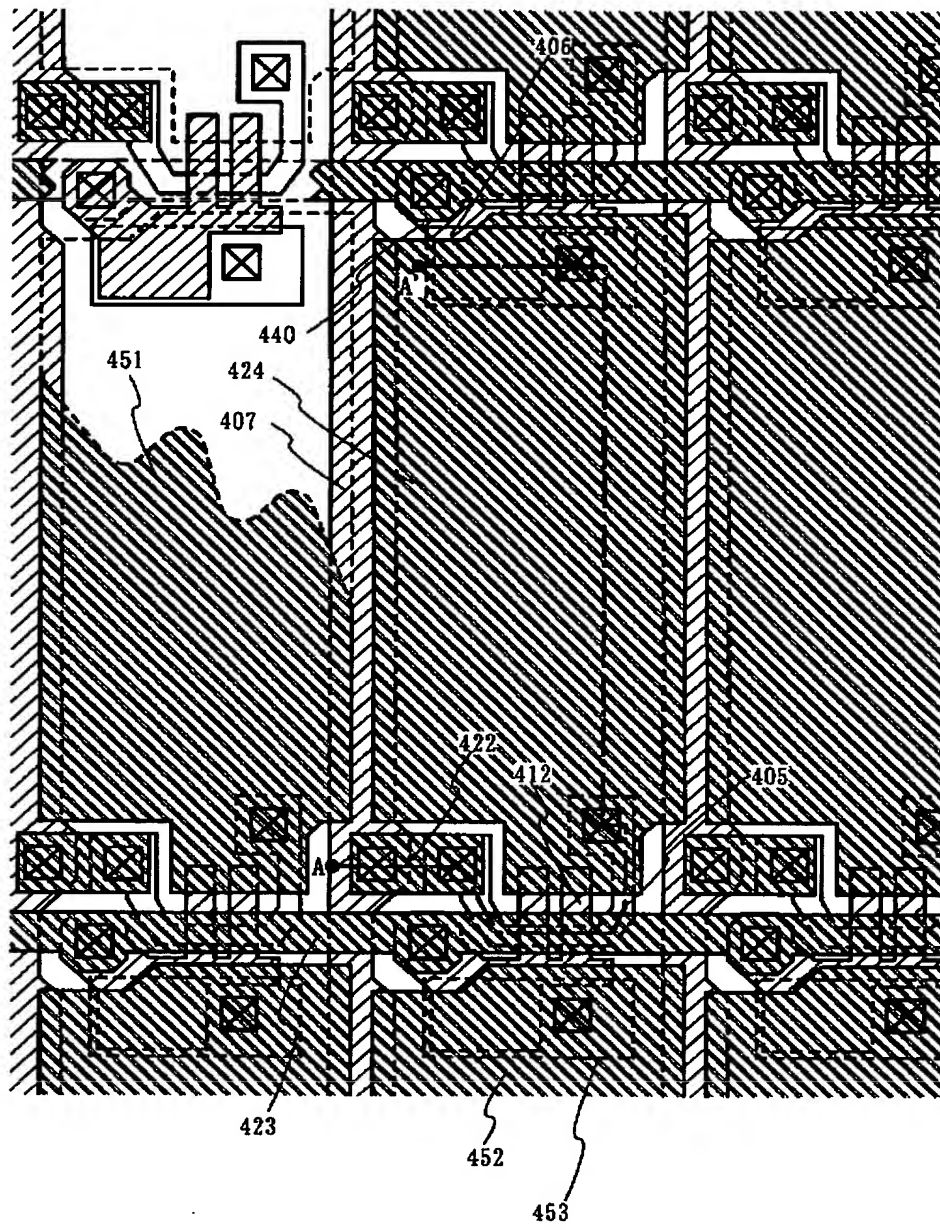
【図 11】



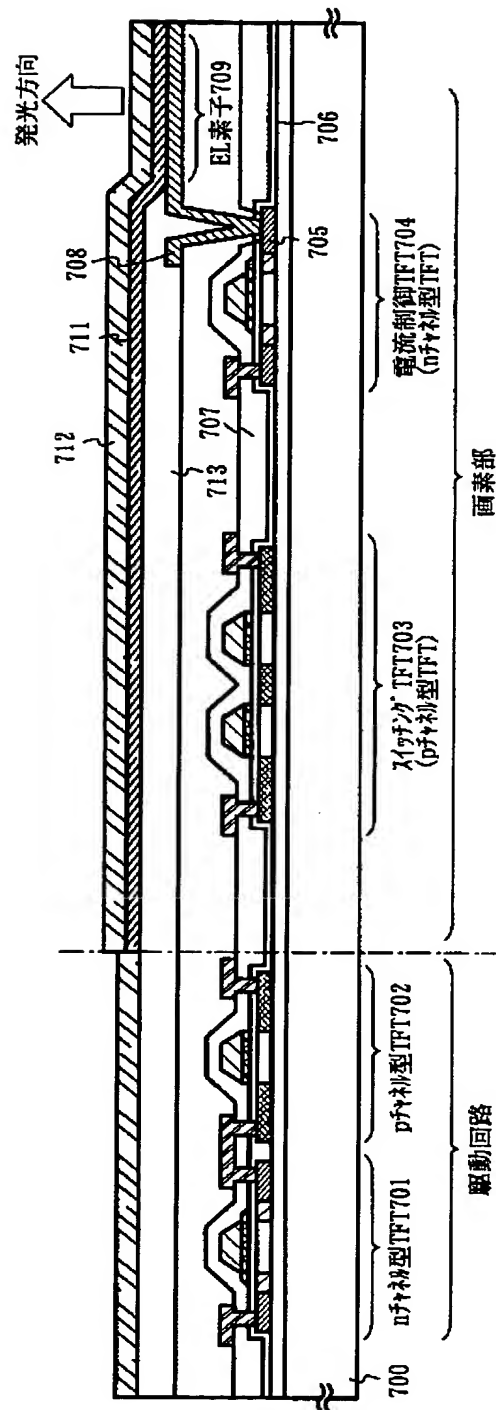
【図 12】



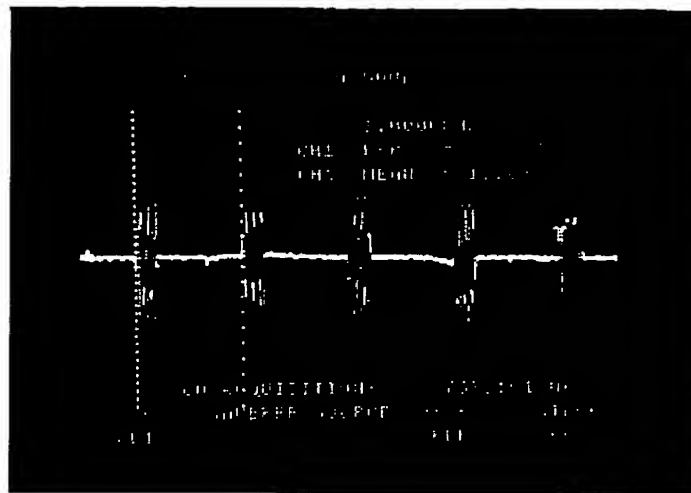
【図 14】



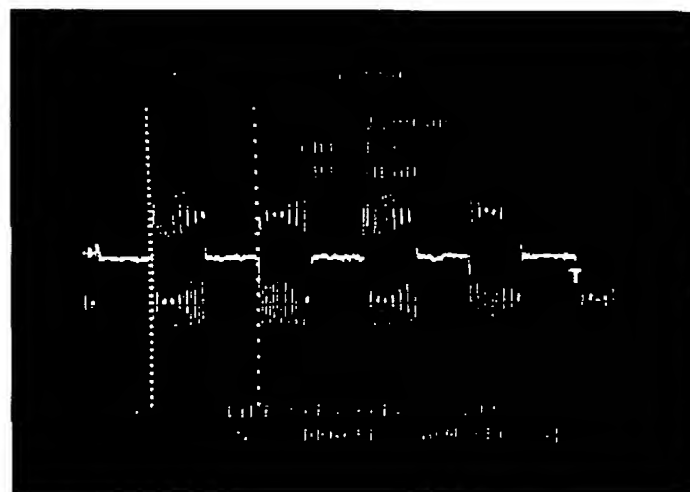
【図 16】



【図17】

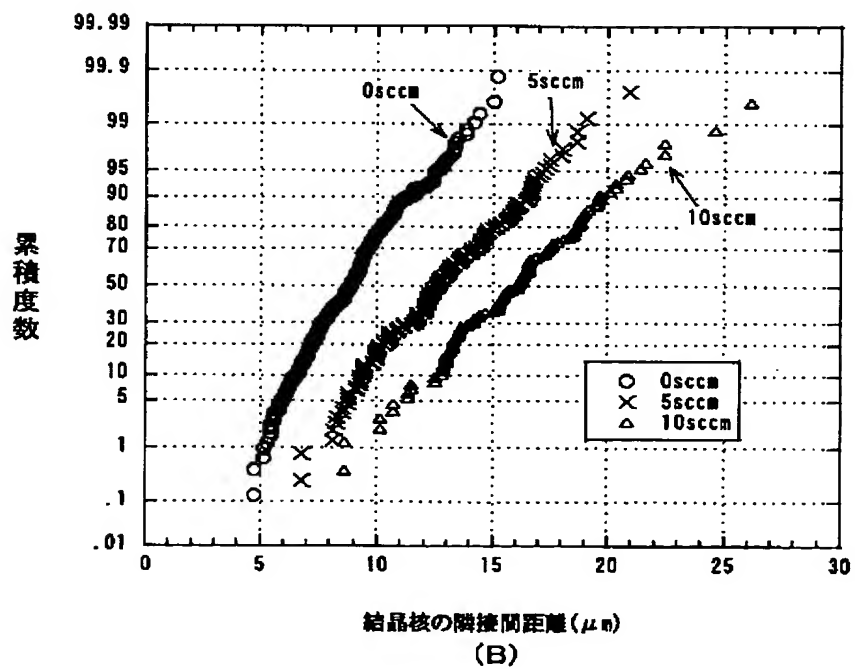
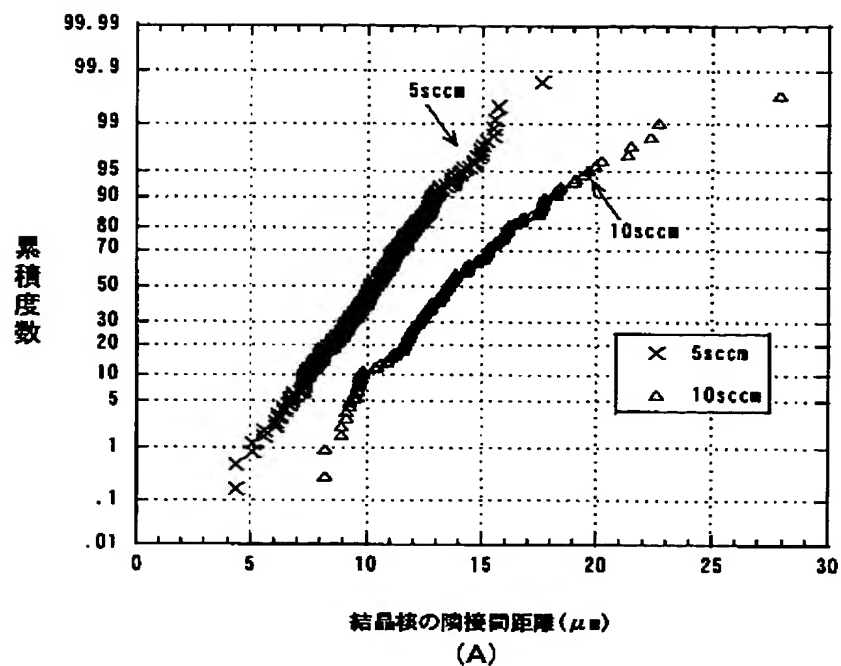


(A) 繰り返し周波数 1 kHz
デューティー比 20%

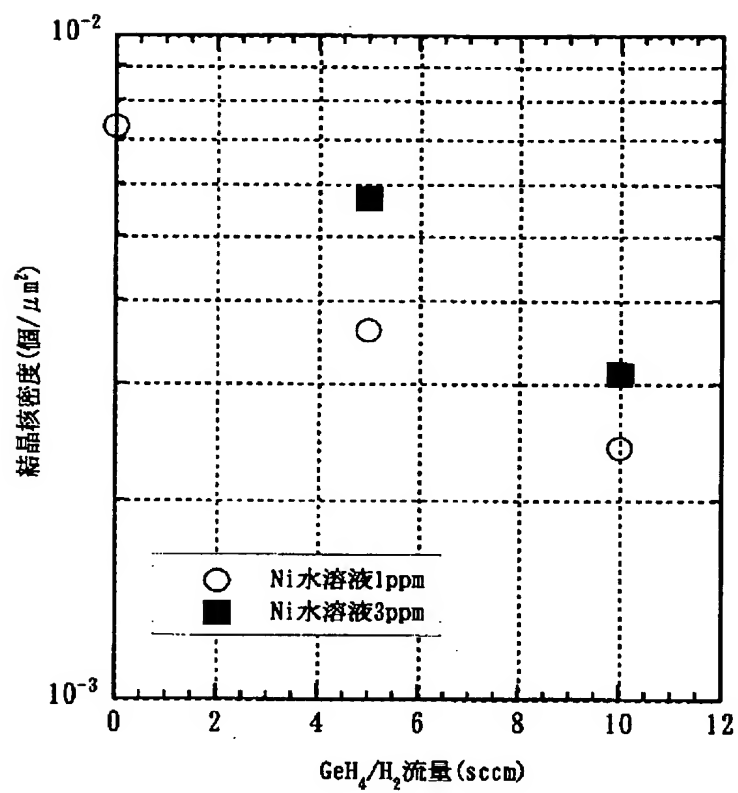


(B) 繰り返し周波数 1 kHz
デューティー比 50%

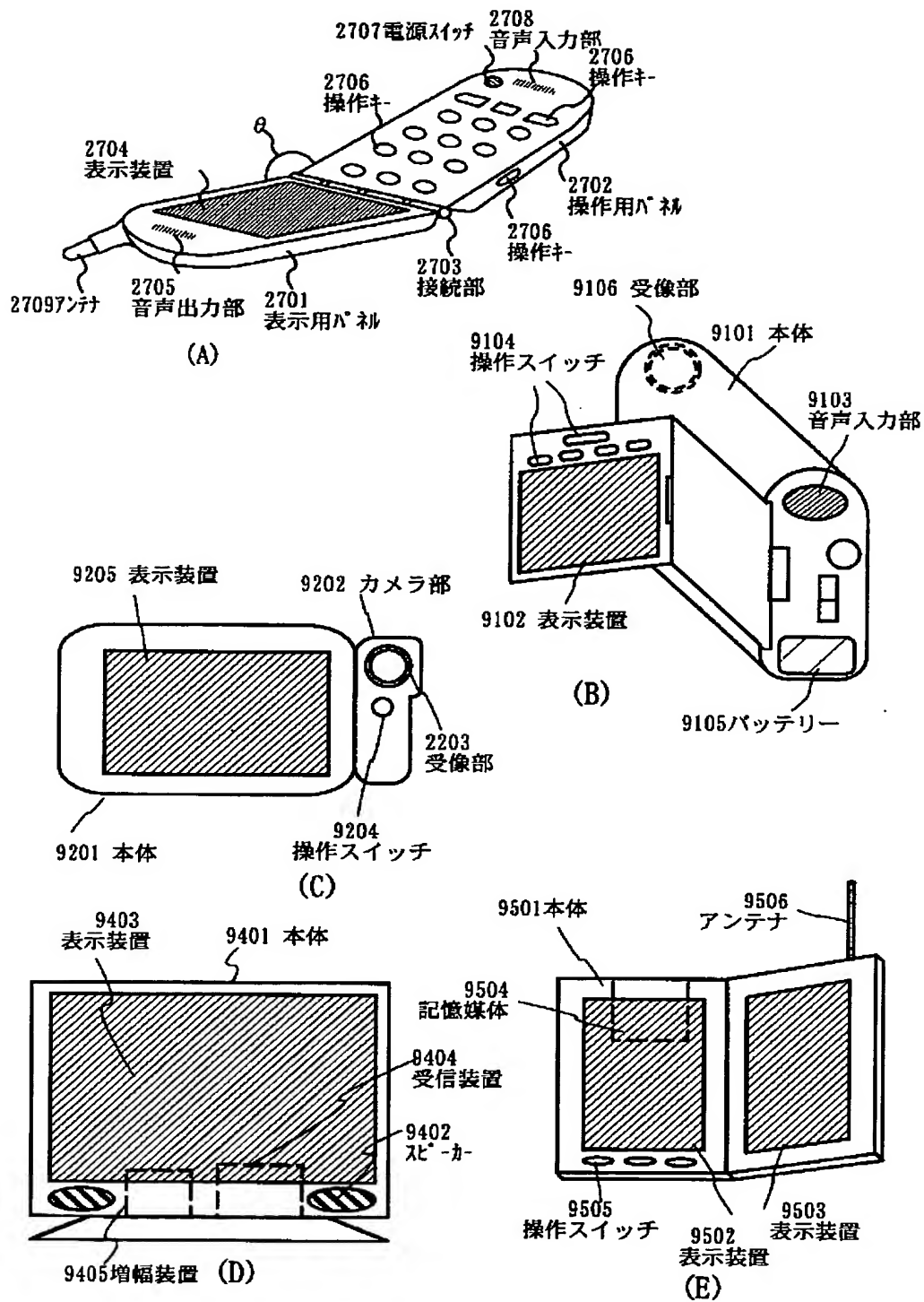
【図 20】



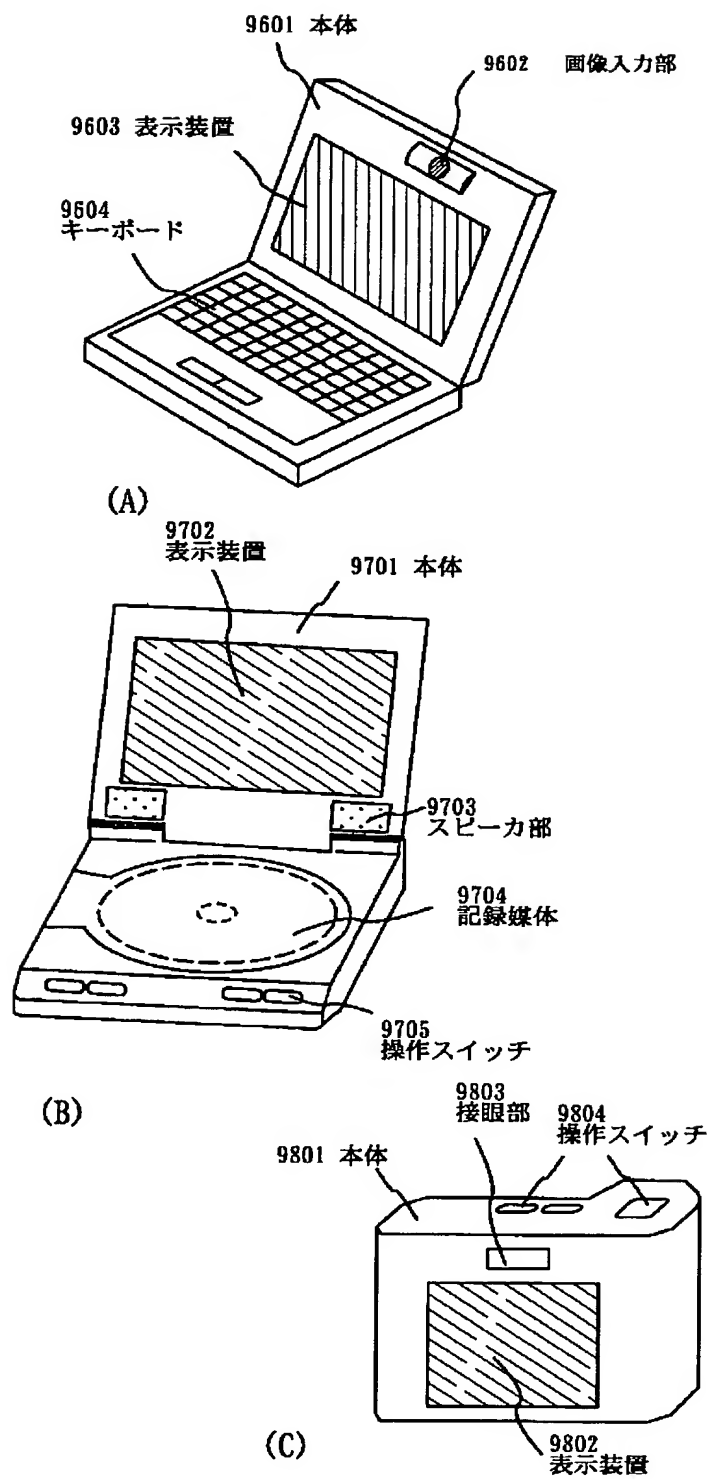
【図 2 1】



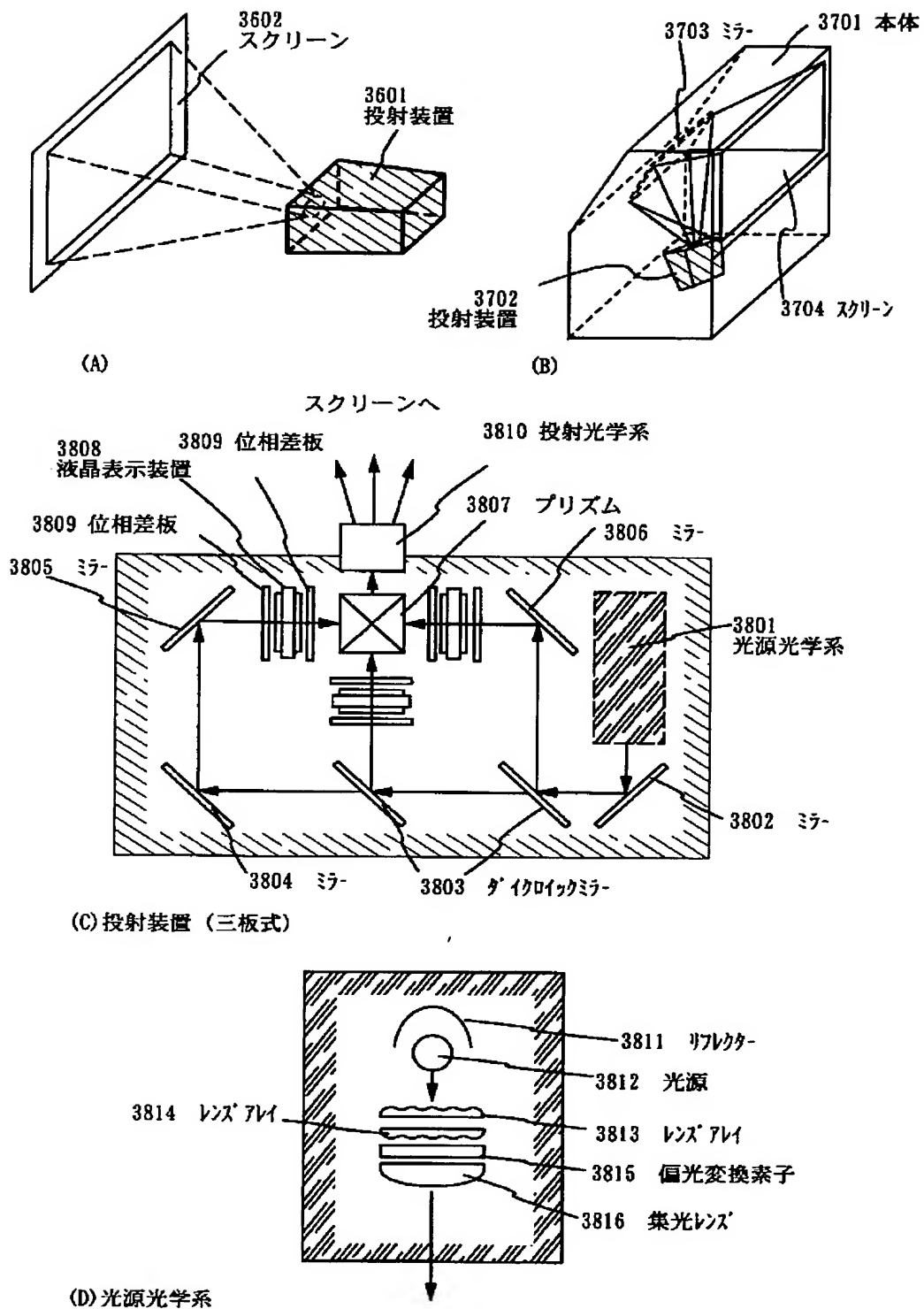
【図 22】



【図 23】

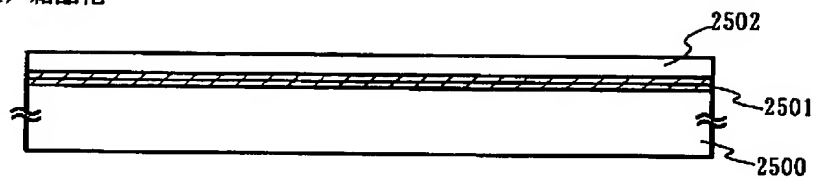


【図 24】

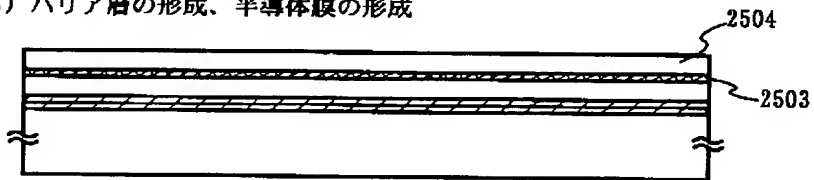


【図 25】

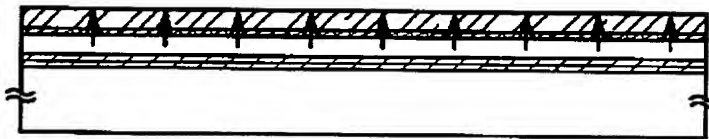
(A) 結晶化



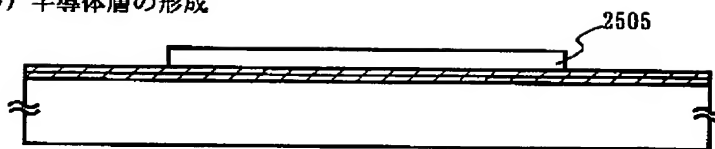
(B) バリア層の形成、半導体膜の形成



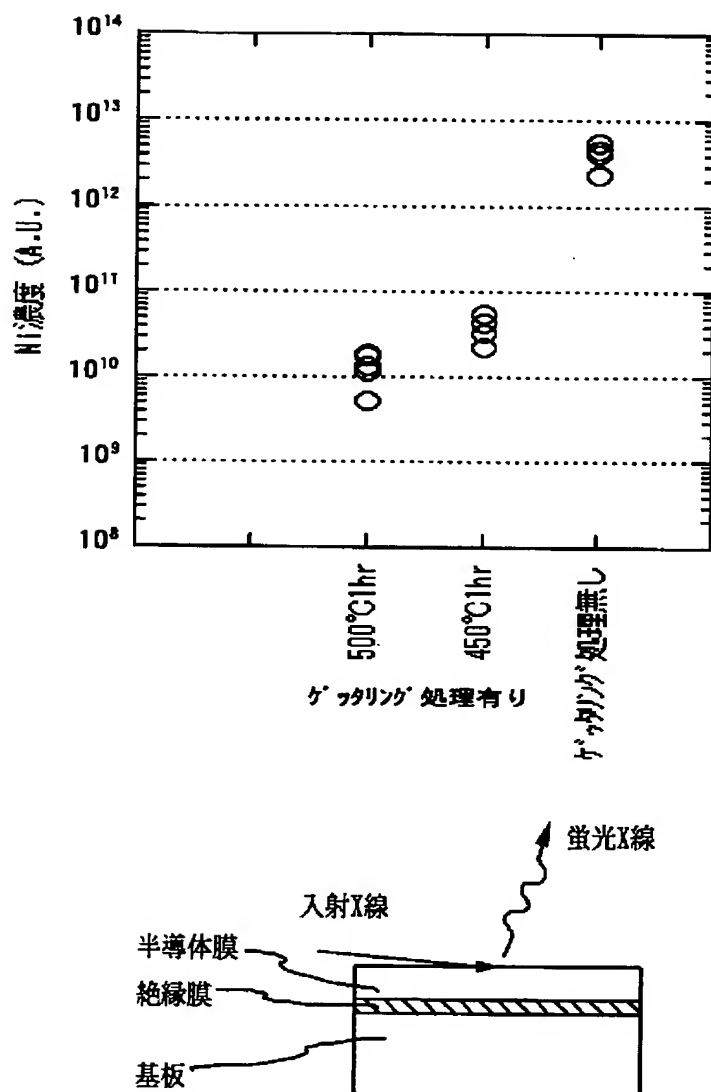
(C) ゲッタリング



(D) 半導体層の形成



【図 26】



フロントページの続き

(51) Int. Cl.⁷H01L 21/322
21/336

識別記号

F I

H01L 29/78

テマコード (参考)

618B
627G
620

(72) 発明者 大槻 高志

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 三津木 亨

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 笠原 健司

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 高野 圭恵

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 小久保 千穂
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内

(72)発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内

(72)発明者 志知 武司
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内

Fターム(参考) 2H092 JA24 JA28 JB57 KA04 KA05
 KB24 KB25 MA08 MA19 MA29
 MA30 NA27 NA29 PA06 RA05
 RA10

4M104 AA01 AA02 AA09 BB02 BB14
 BB16 BB17 BB18 BB32 BB36
 CC01 CC05 DD02 DD20 DD26
 DD78 DD91 EE03 EE05 EE09
 EE14 EE17 EE18 FF08 FF13
 GG09 GG10

5C094 AA21 BA03 BA29 BA43 CA19
 DA14 DA15 DB04 EB05 FB12
 FB14 FB15

5F052 AA01 AA02 AA06 AA11 AA24
 BA01 BA02 BB02 BB07 CA04
 DA02 DA03 DB03 EA15 EA16
 FA19 JA01 JA04

5F110 AA08 AA09 AA30 BB02 BB04
 BB05 CC02 CC07 CC08 DD01
 DD02 DD03 DD04 DD05 DD13
 DD14 DD15 EE01 EE03 EE04
 EE14 EE23 EE28 EE29 FF01
 FF02 FF04 FF30 GG01 GG13
 GG17 GG25 GG33 GG34 GG45
 GG46 HJ01 HJ04 HJ12 HJ13
 HJ23 HL03 HL04 HM15 NN02
 NN04 NN14 NN22 NN24 NN27
 NN35 PP01 PP02 PP03 PP04
 PP06 PP10 PP23 PP29 PP34
 PP35 QQ04 QQ11 QQ19 QQ23
 QQ24 QQ28